

07.2.2005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月 4日
Date of Application:

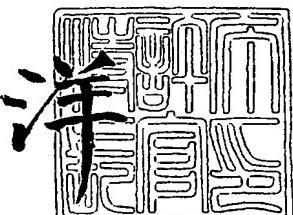
出願番号 特願2004-028073
Application Number:
[ST. 10/C]: [JP2004-028073]

出願人 イビデン株式会社
Applicant(s):

2005年 3月17日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 112468
【あて先】 特許庁長官殿
【国際特許分類】 H05K 01/34
【発明者】
 【住所又は居所】 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社内
 【氏名】 佐野 克幸
【特許出願人】
 【識別番号】 000000158
 【住所又は居所】 岐阜県大垣市神田町 2 丁目 1 番地
 【氏名又は名称】 イビデン株式会社
 【代表者】 岩田 義文
【代理人】
 【識別番号】 100095795
 【住所又は居所】 名古屋市中区栄 1 丁目 22 番 6 号
 【弁理士】
 【氏名又は名称】 田下 明人
【選任した代理人】
 【識別番号】 100098567
 【住所又は居所】 名古屋市中区栄 1 丁目 22 番 6 号
 【弁理士】
 【氏名又は名称】 加藤 壮祐
【手数料の表示】
 【予納台帳番号】 054874
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9401314

【書類名】特許請求の範囲**【請求項1】**

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、少なくともIC直下の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しないことを特徴とするプリント配線板。

【請求項2】

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、少なくともIC直下のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを特徴とするプリント配線板。

【請求項3】

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する4層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

請求項1に記載の電源用スルーホールおよび請求項2に記載のアース用スルーホールと共に有することを特徴とする多層プリント配線板。

【請求項4】

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、70%以上の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しないことを特徴とするプリント配線板。

【請求項5】

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、70%以上のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを特徴とするプリント

配線板。

【請求項6】

表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する4層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

請求項4に記載の電源用スルーホールおよび請求項5に記載のアース用スルーホールを共に有することを特徴とする多層プリント配線板。

【請求項7】

前記多層コア基板の表面及び裏面の導体層と内層の導体層との厚みの和 α_1 が、層間絶縁層上の導体層の厚み α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることを特徴とする請求項1～請求項6のいずれか1に記載の多層プリント配線板。

【請求項8】

前記 α_1 は、 $1.2\alpha_2 \leq \alpha_1 \leq 40\alpha_2$ であることを特徴とする請求項7に記載の多層プリント配線板。

【請求項9】

前記多層コア基板の表面及び裏面の導体層は、電源層用の導体層又はアース用の導体層である請求項1～請求項8のいずれかに記載の多層プリント配線板。

【請求項10】

前記多層コア基板は、内層に厚みの厚い導体層、表面及び裏面に厚みの薄い導体層を備えることを特徴とする請求項1～請求項8のいずれか1に記載の多層プリント配線板。

【請求項11】

前記多層コア基板の内層の導体層は、2層以上であることを特徴とする請求項1～請求項8のいずれか1に記載の多層プリント配線板。

【請求項12】

コンデンサが表面に実装されていることを特徴とする請求項1～請求項8のいずれか1に記載の多層プリント配線板。

【書類名】明細書

【発明の名称】多層プリント配線板

【技術分野】

【0001】

この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤動作やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

【背景技術】

【0002】

ICチップ用のパッケージを構成するビルドアップ式の多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトエッチングにより開口させて、層間絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成されることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子（PGA/BGAなど）を形成させることにより、ICチップを実装することができる基板やパッケージ基板となる。ICチップはC4（フリップチップ）実装を行うことにより、ICチップと基板との電気的接続を行っている。

【0003】

ビルドアップ式の多層プリント配線板の従来技術としては、特許文献1、特許文献2などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。

【0004】

【特許文献1】特開平6-260756号公報

【特許文献2】特開平6-275959号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ICチップの高周波化、IC、パッケージ及びマザーボードの配線が複雑になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなっている。5GHzを越えると全く動かなくなることもあった。そのために、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまった。

【0006】

それらのICチップ、基板をそれぞれ非破壊検査や分解したいところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に1GHz未満）ICチップを実装した場合には、誤動作やエラーの発生はなかった。

【0007】

この対策として、本発明者は、コア基板として多層コア基板を用い、多層コア基板内に厚みの厚い導体層を設けることを検討した。

この多層プリント配線板について、図21を参照して説明する。多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面の信号回路34S、電源回路34P、アース回路34Eの上には、バイアホール60及び導体回路58の形成された層間絶縁層50と、バイアホール160及び導体回路158の形成された層間絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

【0008】

多層コア基板30の上側の電源回路34Pは、電源用のプレーン層として形成され、下側のアース回路34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層のアース回路16E、電源用スルーホール36THPから延出しているダミーランド16Dが、裏面に電源回路16P、アース用スルーホール36THEから延出しているダミーランド16Dが形成されている。ダミーランドとは、スルーホールから延出している導体回路であって、同一層内で他の配線とは導通していない配線パターン、または、同電位を電気的に接続している配線パターン（図22（A）中の16D1）を意味する。上側のアース回路16Eは、アース用のプレーン層として形成され、下側の電源回路16Pは、電源用のプレーン層として形成されている。図22（A）は図21中のX4-4横断面を示し、図22（B）はX5-X5横断面を示している。多層コア基板30の表裏の接続のためにスルーホール36が設けられている。ダミーランド16Dは、アース回路16E、電源回路16Pと接続していないスルーホール36の回りに設けられている。ダミーランド16Dを設けることで、スルーホール用の貫通孔をドリルで穿設した際の電源回路16P、アース回路16Eの上下に配置されている絶縁層14、18でのクラックの発生を防止している。ダミーランドの周囲には、ダミーランドと他の配線パターンとの絶縁を確保するための抜き35（非導体形成部分）がある。

【0009】

係る構成の多層プリント配線板において、多層コア基板30のアース回路16E、16Pを厚くすることで、スイッチをONしてから複数回発生するICの電圧降下のうち、主に3回目の電圧降下が改善されることが分かった。しかしながら、1回目、2回目の電圧降下に関しては大きく改善されないことが分かった。

【0010】

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。特に、スイッチをONしてから発生する電圧降下のうち1回目と2回目の電圧降下を改善することにある。

【課題を解決するための手段】**【0011】**

発明者らは、上記目的の実現に向け鋭意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本発明は、表面と裏面とを接続する複数のスルーホールを備え表面及び裏面の導体層と内層の導体層とを有する3層以上の多層コア基板上に、層間絶縁層と導体層が形成されてバイアホールを介して電気的な接続の行なわれるプリント配線板において、

前記複数のスルーホールは、ICチップの電源回路またはアース回路または信号回路と電気的に接続している多数の電源用スルーホールと多数のアース用スルーホールと多数の信号用スルーホールとからなり、

前記電源用スルーホールが、多層コア基板の内層のアース用導体層を貫通する際、多数の電源用スルーホールの内、少なくともIC直下、または、70%以上の電源用スルーホールは、アース用導体層において、電源用スルーホールから延出する導体回路を有しない、
または／および

前記アース用スルーホールが、多層コア基板の内層の電源用導体層を貫通する際、多数のアース用スルーホールの内、少なくともIC直下、または、70%以上のアース用スルーホールは、電源用導体層において、アース用スルーホールから延出する導体回路を有しないことを技術的特徴とする。

【0012】

更に、多層コア基板の表面及び裏面の導体層と内層の導体層との厚みの和 α_1 が、層間絶縁層上の導体層の厚み α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることを技術的特徴とする。

【発明の効果】

【0013】

電源用または／およびアース用スルーホールのうち、IC直下または70%以上のスルーホールは、多層コア基板の内層にダミーランドを有しない。

この、第1の効果として、スルーホール間隔が狭ピッチとなるので、ファイン化が可能となる。それにより、プリント配線板の小型化が可能となる。

第2の効果として、電源用スルーホールとアース用スルーホール間の間隔を狭くできるので、相互インダクタンスを減少させることができるとなる。そのために、主に、ICの初期動作における1回目および2回目の電源降下による電源不足が小さくなる。電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

さらに、多層コア基板の表面および裏面の導体層と内層の導体層との厚みを厚くする。特に内層の導体層の厚みを厚くするのが好適である。

この効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。そのため、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上する。また、導体層をアース層として用いることで、ICチップへの信号、電源に重畠するノイズを低減することができる。そのため、該プリント配線板にICチップを実装したときに、ICチップ～基板～電源までのインダクタンスを低減することができ、初期動作における3回目の電圧降下を主に改善することができる。また、図20に示すように、電位が逆のスルーホールと導体層とが対向している部分の面積（対向面積）が増大すると共に両者が接近するため、1回目および2回目の電圧降下が更に低減する。

このように、スルーホールが多層コア基板の他の電位を有する内層を貫通する際、IC直下または70%以上のスルーホールにダミーランドを設けず、導体厚を厚くすることで、初期動作時に発生する主な電圧降下（1回目から3回目の電圧降下）を改善することができる。そのため、該プリント配線板に高周波のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

【0014】

導体層の厚みは、望ましくは、多層コア基板の表面及び裏面の導体層と内層の導体層との厚みの和 α_1 が、層間絶縁層上の導体層の厚み α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ である。

【0015】

$\alpha_1 \leq \alpha_2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する特に3回目の電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha_1 > 40\alpha_2$ を越えた場合についても検討を行ったが、基本的には電気特性は、40 α_2 とほぼ同等である。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電気的な効果の向上は望めない。ただ、この厚みを越えると、多層コア基板の表層に導体層を形成した場合に、多層コア基板と接続を行うランド等を形成するのに困難が生じてしまう。更に、上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することができなくなってしまう。

【0016】

導体層の厚みの和 α_1 は、 $1.2\alpha_2 \leq \alpha_1 \leq 20\alpha_2$ であることがさらに望ましい。その範囲であれば、電源不足によるICチップの誤動作やエラーなどが発生しないことが確認されている。

【0017】

この場合の多層コア基板とは、ガラスクロス、アラミドなどの芯材にエポキシ樹脂やBトレジン等が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合多層コア基板、それらの基板の内層に（電源用）導体層が設けられた

基板、4層以上の多層化した導体層が形成された多層コア基板を用いたもの等をさす。

【0018】

内層においてダミーランドを設けない多層コア構造は、特に、多層コア基板の表裏の導体厚みより内層の導体厚を厚くして、コアの導体層の厚みの和 (α_1) を確保する場合に有効である。その理由は、表裏の導体層には、その上に形成するビルドアップ層との電気的接続を取るためスルーホールランドが必須となる。もし、表裏の導体層の厚みが厚いと、スルーホールランドと他のスルーホールランドまたは他の導体回路との絶縁信頼性を確保するためそれらの間の絶縁間隔を広くする必要があるので、スルーホール間隔の狭ピッチ化が出来ないからである。また、多層コア基板の表裏の導体厚を厚くすると、その上に形成する層間絶縁層にうねりが生じてしまうために、インピーダンス整合することが出来なくなってしまう。

【0019】

電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めっき、スペッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したもの用いてもよい。

【0020】

多層コア基板の表層の導体層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。この場合、表層の導体層と内層の導体層とが電気的な接続があり、かつ、2箇所以上での電気的な接続があるものであるときに適用される。なお、パッド、ランド程度の面積であれば、その面積の導体層の厚みは、足した厚みとはならない。導体層とは、電源層或いはアース層であることが望ましい。

この場合は、3層（表層+内層）からなる多層コア基板でもよい。3層以上の多層コア基板でもよい。必要に応じて、多層コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納多層コア基板を用いてもよい。

【0021】

さらに、多層コア基板の内層の導体層を厚くしたとき、ICチップの直下に該当の導体層を配置したほうがよい。ICチップの直下に配設させることにより、ICチップと電源層との距離を最短にすることができ、そのために、よりインダクタンスを低減することができる。そのためにより効率よく電源供給がなされることとなり、特に3回目の電圧降下が解消されるのである。このときも、多層コア基板の導体層の厚みの和を α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることが望ましい。

【0022】

本願発明での多層コア基板とは、以下のように定義される。芯材等に樹脂が含浸された硬質基材であり、その両面に絶縁層を用いて、ドリルもしくはレーザによりスルーホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、多層コア基板の厚みは、層間絶縁層の厚みよりも厚い。基本的には、多層コア基板は電源層、アース層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけに形成されている。

【0023】

更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導体層であることが好適である。（相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であると言うことを示している。）

即ち、内層側に厚い導体層を配置されることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂から成る絶縁層を形成させることが可能となるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることがない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを確保することができる。これらを、電源

層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

【0024】

多層コア基板の内層の導体層の厚みを、層間絶縁層上の導体層よりも厚くする。これにより、多層コア基板の表面に薄い導体層を配置しても、内層の厚い導体層と足すことで、コアの導体層として十分な厚みを確保できる。つまり、大容量の電源が供給されたとしても、問題なく起動することができるため、誤作動や動作不良を引き起こさない。このときも、多層コア基板の導体層の厚みの和を α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることが望ましい。

【0025】

多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電圧降下改善を図ることができる。

【0026】

さらに、多層コア基板内で導体層と導体層との間に信号線を配置することでマイクロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができる。また、表層の導体層を相対的に薄くすることができるのである。多層コア基板は、スルーホールピッチを $600\mu m$ 以下にしてもよい。

【0027】

多層コア基板は、36合金や42合金等の低熱膨張係数の金属板の両面に、絶縁層を介在させて内層の導体層が、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電気的に隔離された金属板を配置することで、多層プリント配線板のX-Y方向の熱膨張係数をICの熱膨張係数に近づけることができ、ICと多層プリント配線板の接続部での樹脂層の局所ヒートサイクル性が向上する。更に、金属板の両面に絶縁層を介在させて内層の導体層を、更に、当該内層の導体層の外側に絶縁層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

【0028】

図14は、電源がONされた瞬間からICの電圧の時間的変化を示している。縦軸にICの電圧、横軸には時間経過を示している。図14は、1GHz以上の高周波ICチップ電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップへの電圧の経時変化を示したものであり、線Bは、3GHzのICチップへの電圧の経時変化を示したものである。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点: 1回目の電圧降下)。その後、一旦電圧が上昇した後、また下がり(2回目の電圧降下)、更に、上昇した後、下がり(3回目の電圧降下)、以降は小さな振幅を繰り返しながら徐々に電圧は上昇していく。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなってくる。そのために、電圧降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

【0029】

図15は、従来構造のプリント配線板および本発明のプリント配線板に、高周波のICチップを実装したときのICの電圧の時間的変化を示している。尚、ICの電圧測定は、直接測定できないので、プリント配線板において、測定できるよう測定回路を形成した。Aの多層コアは、4層で、全てのスルーホールがダミーランドを有し、かつ、各層の導体厚は全て同じで $30\mu m$ である(層間絶縁層上の導体厚みは $15\mu m$)。Bの多層コアは、Aと

同じく4層であるが、IC直下の電源用スルーホールは、多層コアの内層のアース層において電源用スルーホールから延出する導体回路を有しておらず、IC直下のアース用スルーホールは、多層コアの内層の電源層においてアース用スルーホールから延出する導体回路を有していない。Cは、Bの多層コアにおいて、内層の導体厚を $75\mu m$ にしてある。A, B, Cとも上記多層コアに層間絶縁層と導体層を交互にビルトアップした多層プリント配線板である。図15より、本発明のスルーホールから延出する導体回路を有しない多層コア構造にすることで、1回目および2回目の電圧降下が改善されていることがわかる。そのために、ICチップの機能、動作の不具合の発生が少なくなることが言える。また、内層の導体厚を厚くすることで、更に、1回目及び2回目の電圧降下が改善されていることがわかる。

【0030】

なお、多層コア基板では、多層コア基板のすべての層の電源層の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、多層コア基板のすべての層の電源層の導体層の厚みが、層間絶縁層上の導体層の厚みと同等もしくはそれ以下のときでも、全ての層の導体の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、厚くなったときに、その効果を奏する。

【0031】

さらに、多層コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵させることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、インダクタンスを低減することができる。電源不足（電圧降下）を小さくすることができる。例えば、コンデンサや誘電体層を内蔵した多層コア基板においても、コアの基板の電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減することができ、コンデンサを内蔵した基板の効果をいっそう發揮されるようになる。複数のコンデンサを実装してもよい。これらのコンデンサから電源を供給できるからである。

【発明を実施するための最良の形態】

【0032】

図1～図11を参照して本発明の第1実施例に係る多層プリント配線板について説明する。

先ず、第1実施例に係る多層プリント配線板10の構成について、図8、図9を参照して説明する。図8は、該多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、データボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表裏には、信号回路34S、電源回路34P、アース回路34Eが形成されている。更に、多層コア基板30の内部の表面側に、内層のアース回路16E及び信号回路16S1、裏面に電源回路16P及び信号回路16S2が形成されている。上側のアース回路16Eは、アース用のプレーン層として形成され、下側の電源回路16Pは、電源用のプレーン層として形成されている。プレーン層は、片側だけの单層であっても、2層以上に配置したものでもよい。2層～4層で形成されることが望ましい。4層を越えても電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が抑えられるので反りが出にくいからである。多層コア基板30の中央に、電気的に隔離された金属板を収容してもよい。該金属板は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。金属板に36合金、42合金等の低熱膨張材を使うと、多層プリント配線板の熱膨張係数をICに近づけることができ、熱収縮の際の応力を緩和できる。多層コア基板30は、ICの信号回路、アース回路、電源回路と電気的に接続している信号用スルーホール（図示せず）、アース用スルーホール

ホール36E、電源用スルーホール36Pを介して表面側と裏面側との接続が取られている。

【0033】

多層コア基板30の表面の電源回路34P、アース回路34E、信号回路34Sの上には、バイアホール60及び導体回路58の形成された層間絶縁層50と、バイアホール160及び導体回路158の形成された層間絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にパンプ76U、76Dが形成されている。

【0034】

図9中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、データボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

【0035】

図11(A)は、図8中のX3-X3横断面、即ち、内層のアース用プレーン層16Eの平面を示し、図11(B)は、X2-X2横断面、即ち、内層の電源用プレーン層16Pの平面を示している。ここで、図8と、図11(A)、(B)とは、配置が一致していないのは、図8が多層プリント配線板の縦構造を模式的に示しているためである。

図11(A)に示すように多層プリント配線板30では、電源用のスルーホール36Pが、多層コアにおける内層のアース用プレーン層16Eを貫通する際、アース用プレーン層16E内において、電源用スルーホール36Pは、そのスルーホールから延出しているランド等の導体回路を有していない。電源用スルーホール36Pは、アース用プレーン層16Eに設けられた抜き35に配置される。図11(B)に示すように該アース用スルーホール36Eは、電源用プレーン層16Pを貫通するアース用スルーホール36Eも同様で、アース用スルーホール36Eが内層の電源用プレーン層16Pを貫通する際、電源用プレーン層16P内において、アース用スルーホール36Eは、抜き35内に配置され、そのスルーホールから延出しているランド等の導体回路を有していない。このようなコア構造とすることにより、電源用スルーホールとアース用スルーホール間、コアの水平方向における電源用スルーホールとアース用プレーン層間、および、コアの水平方向におけるアース用スルーホールと電源用プレーン層間の間の間隔を狭くすることが可能となり、相互インダクタンスを減少させることができるとなる。それにより、図14、図15を参照して上述した1回目と2回目の電圧降下を減少させることができるとなるため、電源不足が起き難くなり、より高周波領域のICチップを実装したとしても初期起動における誤動作やエラーなどを引き起こさない。

【0036】

図11では、多層コア基板のスルーホールが、電源用スルーホール36Pとアース用スルーホール36Eとを交互に配置する構造になっている。このような交互配置にすることで、相互インダクタンスが減少し、1回目と2回目の電圧降下を減少することができるからである。

【0037】

但し、必ずしも全て交互に配置する必要はなく、図17(A)、図17(B)に示すように一部電源用スルーホール同士が隣合ってもよい。図17(A)に示すように電源用スルーホール36P、36Pが隣り合った場合は、アース用プレーン層16E内で両者を電源回路16P1で接続してもよいし、両者を両者を接続せず、抜き35中にスルーホール36Pを形成してもよい。図17(B)に示すようにアース用スルーホール36E同士が隣り合った場合も同様である。

【0038】

信号用スルーホールは、電源用プレーン層16P及びアース用プレーン層16Eと接続しないので、電源用プレーン層16P及びアース用プレーン層16E内に、そのスルーホ

ールから延出する導体回路を設ける必要はないが、回路形成を行うスペースがあれば、いずれのプレーン層においても回路形成を行ってもよい。信号回路をコアで配置しておくと、ビルトアップ層で配線を行うときにファイン化のためには有利になる。

【0039】

更に、多層コア基板30の導体厚みは、内層の導体厚みが表層の導体厚み以上であることが望ましい。多層コア基板30表層の電源回路34P、アース回路34E、信号回路34Sは、厚さ $10\sim60\mu m$ に形成され、内層の電源回路16P、アース回路16E、信号回路16S1、16S2は、厚さ $10\sim250\mu m$ に形成され、層間絶縁層50上の導体回路58及び層間絶縁層150上の導体回路158は $10\sim25\mu m$ に形成されている。多層コア基板の内層の導体回路の厚みは、多層コア基板の表裏の導体回路の厚みの2倍以上がより望ましい。

【0040】

第1実施例の多層プリント配線板では、多層コア基板30の表層の電源層（導体層）34P、アース回路34E、信号回路34S、内層の電源回路16P、アース回路16Eを厚くすることにより、多層コア基板の強度が増す。それにより多層コア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0041】

また、信号回路34S、電源回路34P、アース回路34E、電源回路16P、アース回路16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。

【0042】

更に、電源回路34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのインダクタンスを低減することができる。そのために、初期動作における3回目の電圧降下が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、アース回路34E、16Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畠しなくなり、誤動作やエラーを防ぐことができる。コンデンサを実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。特に、ICチップの直下に配設させることにより、その効果（電源不足を起しにくくする）は顕著によくなる。その理由として、ICチップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

【0043】

第1実施例では、多層コア基板30は、内層に厚い電源回路16P、アース回路16Eを、表面に薄い電源回路34P、アース回路34Eを有し、内層の電源回路16P、アース回路16Eと表面の電源回路34P、アース回路34Eとを電源層用の導体層、アース用の導体層として用いる。即ち、内層側に厚い電源回路16P、アース回路16Eを配置しても、導体回路を覆う絶縁層が形成されている。そのために、導体回路が起因となって凹凸を相殺させることで多層コア基板30の表面を平坦にすることができる。このため、層間絶縁層50、150の導体回路58、158にうねりを生じせしめないように、多層コア基板30の表面に薄い電源回路34P、アース回路34Eを配置しても、内層の電源回路16P、アース回路16Eと足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。電源回路16P、34Pを電源層用の導体層として、アース回路16E、34Eをアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することができる。また、図20に示すように電位が逆のスルーホールと内層導体層の対向面積が増大するので、さらに電気特性を改善できる。

【0044】

更に、多層コア基板の内層の電源回路16P、アース回路16Eの厚みを、層間絶縁層

50、150上の導体回路58、158よりも厚くする。これにより、多層コア基板30の表面に薄いアース回路34E、34Pを配置しても、内層の厚い電源回路16P、アース回路16Eと足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体回路の厚み} / \text{層間絶縁層の導体回路の厚み}) \leq 40$ であることが望ましい。 $1.2 \leq (\text{コアの内層の導体回路の厚み} / \text{層間絶縁層の導体回路の厚み}) \leq 30$ であることがさらに望ましい。

【0045】

また、多層コア基板内で電源回路34Pと電源回路16Pとの間の信号線16S1を配置することでマイクロストリップ構造を形成させることができる。同様に、アース回路16Eとアース回路34Eとの間の信号線（図示せず、電源回路16Pと同層）を配置することでマイクロストリップ構造を形成させることができる。マイクロストリップ構造を形成させることにより、インダクタンスも低下し、インピーダンス整合を取ることができる。するために、電気特性も安定化することができる。

【0046】

図10は、第1実施例の改変例を示している。この改変例では、ICチップ90の直下にコンデンサ98を配置してある。このため、ICチップ90とコンデンサ98との距離が近く、ICチップ90へ供給する電源の電圧降下を防ぐことができる。

【0047】

引き続き、図8に示す多層プリント配線板10の製造方法について図1～図7を参照して説明する。

A. 層間絶縁層の樹脂フィルムの作製

ビスフェノールA型エポキシ樹脂（エポキシ当量455、油化シェルエポキシ社製エピコート1001）29重量部、クレゾールノボラック型エポキシ樹脂（エポキシ当量215、大日本インキ化学工業社製 エピクロンN-673）39重量部、トリアジン構造含有フェノールノボラック樹脂（フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-7052）30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム（ナガセ化成工業社製 デナレックスR-45EPT）15重量部と2-フェニル-4、5-ビス（ヒドロキシメチル）イミダゾール粉碎品1.5重量部、微粉碎シリカ2.5重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ $38\mu\text{m}$ のPETフィルム上に乾燥後の厚さが $50\mu\text{m}$ となるようにロールコーティング用いて塗布した後、 $80\sim120^\circ\text{C}$ で10分間乾燥させることにより、層間絶縁層用樹脂フィルムを作製した。

【0048】

B. スルーホール充填用樹脂組成物

ビスフェノールF型エポキシモノマー（油化シェル社製、分子量：310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径が $1.6\mu\text{m}$ で、最大粒子の直径が $15\mu\text{m}$ 以下のSiO₂球状粒子（アドテック社製、CRS-101-CE）170重量部およびレベリング剤（サンノプロコ社製 ペレノールS4）1.5重量部を容器にとり、攪拌混合することにより、その粘度が $23\pm1^\circ\text{C}$ で $44\sim49\text{Pa}\cdot\text{s}$ の樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤（四国化成社製、2E4MZ-CN）6.5重量部を用いた。スルーホール充填用樹脂としては、他のエポキシ樹脂（例えば、ビスフェノールA型、ノボラック型など）、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

【0049】

C. 多層プリント配線板の製造

多層コア基板の作成

(1) 厚さ 0.6mm のガラスエポキシ樹脂またはBT（ビスマレイミドトリアジン）樹脂からなる絶縁性基板14の両面に $10\sim250\mu\text{m}$ の銅箔16がラミネートされている

銅張積層板10を出発材料とした（図1（A））。実施例1では、 $30\mu\text{m}$ の銅箔を使用した。

【0050】

(2) 続いて、サプラクティブ法で銅箔16に、IC直下は、表面側を示す図2（A）に表すように抜き35内にダミーランドを有しない導体回路16E、裏面側を示す図2（B）に表すように抜き35にダミーランドを有しない導体回路16Pを形成した。スルーホールを形成する位置には抜き（開口）35を形成してある。通常、ダミーランドは、スルーホール径に対して $+150\sim250\mu\text{m}$ 径で形成するので、ダミーランドを有しない導体回路とすることで、ダミーランドを有する通常の構造に対して、スルーホール間及び電源用スルーホールとアース用導体層間（図20中のX）、アース用スルーホールと電源用導体層間の間隔を狭くできる。

【0051】

(3) その後、その基板をNaOH（10g／1）、NaClO₂（40g／1）、Na₃PO₄（6g／1）を含む水溶液を黒化浴（酸化浴）とする黒化処理、および、NaOH（10g／1）、NaBH₄（6g／1）を含む水溶液を還元浴とする還元処理を行い、下層導体回路16E、16S1、16P、16S1の表面に粗化面16 α を形成する（図1（C））。

【0052】

(4) 上記基板の両面に $200\mu\text{m}$ 厚のプリプレグ18と $18\mu\text{m}$ 厚の銅箔20の順で積層し、その後、加熱、加圧プレス4層の多層コア基板30を作成した（図1（D））。

【0053】

(5) この多層コア基板30をドリル削孔し、スルーホール用通孔を穿設する（図3（A））。その後、無電解めっき、電解めっきを施し、パターン状にエッティングすることにより、多層コア基板の表裏面に導体回路34S、34P、34Eと $250\mu\text{m}$ 径のスルーホール36S、36P、36Eを形成した（図3（B））。

【0054】

(6) 多層コア基板の表裏面に導体回路34S、34P、34Eとスルーホール36S、36P、36Eを形成した基板をNaOH（10g／1）、NaClO₂（40g／1）、Na₃PO₄（6g／1）を含む水溶液を黒化浴（酸化浴）とする黒化処理、および、NaOH（10g／1）、NaBH₄（6g／1）を含む水溶液を還元浴とする還元処理を行い、上層導体回路とスルーホールの表面に粗化面34 β を形成する（図3（C））。

【0055】

(7) ついで、上記Bで作成したスルーホール充填用樹脂組成物40を導体回路34S、34P、34E間とスルーホール36S、36P、36E内に、スキージを用いて充填した後、 100°C 、20分の条件で乾燥を行った（図4（A））。その基板30表面を、導体回路表面およびスルーホールのランド表面が露出するまで研磨して平坦化し、 100°C で1時間、 150°C で1時間の加熱を行うことにより、スルーホール充填用樹脂組成物40を硬化させた樹脂充填材層を形成し、スルーホール36S、36P、36Eとした（図4B）。

【0056】

多層コア基板の表裏面の銅厚は $7.5\sim70\mu\text{m}$ で形成した。このように、多層コア基板表裏面の銅厚は、内層の銅厚に比べて薄くするのが好適である。本実施例では $25\mu\text{m}$ とした。

これにより、表裏層は、内層に比べて微細な回路を形成することが可能になり、スルーホールランドの小径化及び導体回路間やスルーホールランドと導体回路間の隙間を小さくできる。従って、表裏層のスルーホールランドや導体回路はスルーホールピッチを狭くする邪魔にはならない。

【0057】

(8) 上記基板を水洗、酸性脱脂した後、ソフトエッティングし、次いで、エッティング液を

基板の両面にスプレイで吹きつけて、信号回路34S、電源回路34P、アース回路34Eの表面とスルーホール36のランド表面と内壁とをエッティングすることにより、導体回路の全表面に粗化面36 β を形成した(図4(C))。エッティング液としては、イミダゾール銅(I)錯体10重量部、グリコール酸7.3重量部、塩化カリウム5重量部からなるエッティング液(メック社製、メックエッチボンド)を使用した。

【0058】

(9) 基板の両面に、上記Aで作製した基板より少し大きめの層間絶縁層用樹脂フィルム50 μ mを基板上に載置し、圧力0.45MPa、温度80℃、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けた(図5(A))。すなわち、層間絶縁層用樹脂フィルムを基板上に、真空度67Pa、圧力0.47MPa、温度85℃、圧着時間60秒の条件で本圧着し、その後、170℃で40分間熱硬化させた。

【0059】

(10) 次に、層間絶縁層用樹脂フィルム上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 μ mのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅8.1μ秒、マスクの貫通孔の径1.0mm、1ショットの条件下で層間絶縁層用樹脂フィルムに、直径60~100 μ mの間でのバイアホール用開口50aを形成し、層間絶縁層用樹脂フィルムを硬化させて層間絶縁層50とした(図5(B))。今回は直径60 μ mと75 μ mで形成した。

【0060】

(11) バイアホール用開口50aを形成した基板を、60g/lの過マンガン酸を含む80℃の溶液に10分間浸漬し、層間絶縁層50の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口50aの内壁を含む層間絶縁層50の表面に粗化面50 α を形成した(図5(C))。

【0061】

(12) 次に、上記処理を終えた基板を、中和溶液(シプレイ社製)に浸漬してから水洗いした。

さらに、粗面化処理(粗化深さ3 μ m)した該基板の表面に、パラジウム触媒を付与することにより、層間絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム(PbCl₂)と塩化第一スズ(SnCl₂)とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

【0062】

(13) 次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.3~3.0 μ mの無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間絶縁層50の表面に無電解銅めっき膜52が形成された基板を得た(図5(D))。

[無電解めっき水溶液]

EDTA	0.200	mol/l
硫酸銅	0.032	mol/l
HCHO	0.1	g/l
NaOH	0.100	mol/l
α 、 α' -ビピリジル	1.00	mg/l
ポリエチレングリコール(PEG)	0.10	g/l

[無電解めっき条件]

34℃の液温度で45分

【0063】

(14) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、110mJ/cm²で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ25 μ mのめっきレジスト54を設けた(図6(A))。

【0064】

(15) ついで、基板を50℃の水で洗浄して脱脂し、25℃の水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト54非形成部に、厚さ20μmの電解銅めっき膜56を形成した(図6(B))。

[電解めっき液]

硫酸	200	g / l
硫酸銅	80	g / l
添加剤	19.5	m l / l

(アトテックジャパン社製、カバラシドGL)

[電解めっき条件]

電流密度	1 A / dm ²
時間	100 分
温度	22±2 ℃

【0065】

(16) さらに、めっきレジスト3を5%KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素水との混合液でエッチング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図6(C))。

【0066】

(17) ついで、上記(9)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58α、60αを形成した。上層の導体回路58の厚みは15μmの厚みであった(図6(D))。ただし、上層の導体回路の厚みは、5~25μmの間で形成してもよい。

【0067】

(18) 上記(8)~(17)の工程を繰り返すことにより、さらに上層の層間絶縁層150、導体回路158、バイアホール160を形成し、多層配線板を得た(図7(A))。

【0068】

(19) ソルダーレジスト組成物の調整

次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)45.67重量部、メチルエチルケトンに溶解させた80重量%のビスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)16.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンノプロ社製、S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)1.8重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25℃で2.0Pa·sに調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60min⁻¹の場合はローターNo.4、6min⁻¹の場合はローターNo.3によった。

【0069】

(20) 次に、多層配線基板の両面に、上記ソルダーレジスト組成物70を20μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後(図7(B))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した(図7(C))。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが15~25μmのソルダーレジストパターン層を形成した。上記ソルダーレジ

スト組成物としては、市販のソルダーレジスト組成物を使用することもできる。

【0070】

(21) 次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル($2.3 \times 10^{-1} \text{ mol/l}$)、次亜リン酸ナトリウム($2.8 \times 10^{-1} \text{ mol/l}$)、クエン酸ナトリウム($1.6 \times 10^{-1} \text{ mol/l}$)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ $5 \mu\text{m}$ のニッケルめっき層72を形成した。さらに、その基板をシアン化金カリウム($7.6 \times 10^{-3} \text{ mol/l}$)、塩化アンモニウム($1.9 \times 10^{-1} \text{ mol/l}$)、クエン酸ナトリウム($1.2 \times 10^{-1} \text{ mol/l}$)、次亜リン酸ナトリウム($1.7 \times 10^{-1} \text{ mol/l}$)を含む無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ $0.03 \mu\text{m}$ の金めっき層74を形成した(図7(D))。ニッケルー金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

【0071】

(22) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズー鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズーアンチモンを含有するはんだペーストを印刷した後、200℃でリフローすることによりはんだバンプ(はんだ体)を形成し、はんだバンプ76U、76Dを有する多層プリント配線板を製造した(図8)。

【0072】

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、半田バンプ76Dを介してデータボード94へ取り付ける(図9)。

【0073】

[第2実施例]

実施例1は、スルーホールから延出する導体回路を有しないスルーホールが存在する領域をIC直下としたが、実施例2では、以下の様に変更した。それ以外の部分は実施例1と同様である。

図12(A)は、4層コアの内層の代表的なアース層の横断面を、(B)は、4層コアの内層の代表的な電源層の横断面を示している。

実施例2の多層コアも4層コアであって、電源用スルーホール36Pが、アース層16Eを貫通する際、該スルーホールから延出する導体回路16Dを有しない電源用スルーホールが、ICの電源回路に接続している全スルーホールに対して50%であり、かつ、アース用スルーホール36Eが、電源層16Pを貫通する際、該スルーホールから延出する導体回路を有しないアース用スルーホールが、ICのアース回路に接続している全スルーホールに対して50%である。

【0074】

[第3実施例]

実施例3は、実施例2において、スルーホールから延出する導体回路を有しないスルーホールを70%とした以外は、実施例2と同様である。

【0075】

[第4実施例]

実施例4は、実施例2において、スルーホールから延出する導体回路を有しないスルーホールを80%とした以外は、実施例2と同様である。

【0076】

[第5実施例]

実施例5は、実施例2において、スルーホールから延出する導体回路を有しないスルーホールを90%とした以外は、実施例5と同様である。

【0077】

[第6実施例]

実施例6は、実施例1において、内層の電源層とアース層の導体厚の厚みを $4.5 \mu\text{m}$ に変更した。それ以外は、実施例1と同様である。

【0078】**[第7実施例]**

実施例7は、実施例1において、内層の電源層とアース層の導体厚の厚みを $60\mu\text{m}$ に変更した。それ以外は、実施例1と同様である。

【0079】**[第8実施例]**

実施例8は、実施例1において、内層の電源層とアース層の導体厚の厚みを $75\mu\text{m}$ に変更した。それ以外は、実施例1と同様である。

【0080】**[第9実施例]**

実施例9は、実施例3において、内層の電源層とアース層の導体厚の厚みを $75\mu\text{m}$ に変更した。それ以外は、実施例3と同様である。

【0081】**[実施例10]**

図13を参照して本発明の実施例10に係る多層プリント配線板について説明する。

図8を参照して上述した第1実施例の多層プリント配線板では、内層に2層のアース回路16E、16Pが配置された多層コア基板30を使用した。これに対して、第2実施例では、4層の内層アース回路16E、116E、16P、116PPが設けられた多層コア基板20を用いている。

【0082】**(比較例1)**

第1実施例と同じ厚みの内層の導体層及び表層の導体層となるように多層コア基板を形成した。但し、図22を参照して上述した関連技術と同様にダミーランド16を全てのスルーホールに配置した。

【0083】**(比較例2)**

比較例1において、多層コア基板の導体厚を $15\mu\text{m}$ にした以外は比較例1と同様である。

【0084】

それぞれの実施例と比較例と参考例の基板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量を測定した。なお、ICチップの電圧は直接測定できないので、プリント配線板にICの電圧を測定できる回路を形成してある。このときの電圧降下量での平均値を示した。電源電圧1.0Vのときの変動した電圧降下量の平均値である。

また、それぞれの実施例と比較例の初期動作を確認した。100回ON-OFFを繰り返し、誤動作の有無を評価した。この結果を図16中の図表に表す。

さらに、ダミーランドを有しないスルーホール数についても検証を行った。横軸にダミーランドを有しないスルーホール数、縦軸に最大電圧降下量の平均値とした(V)結果を図18(A)、(B)に示した。また、図19に内層の導体厚と1回目～3回目の電圧効果の関係を示した。

【0085】

実施例1と比較例1の比較から、IC直下のスルーホールを、スルーホールから延出する導体回路を有しないコア構造にすることで、1回目および2回目の電圧降下が改善され、ICの誤動作が生じなくなったことがわかる。

実施例2～5及び比較例1の比較から、ダミーランドを有しないスルーホール数を70%以上とすることで、1回目および2回目の電圧降下が改善されICの誤動作が生じなくなつたことがわかる。

実施例1、6、7、8の比較から、多層コアの内層の導体厚を厚くすることで、1回目及び2回目の電圧降下が、さらに改善されていることがわかる。そして、内層の導体厚がビルドアップ層の導体厚の3倍以上になると、その改善効果は薄れてくる。つまり、効果

の臨界点であると理解できる。

実施例2～5及び比較例1から、スルーホールから延出する導体回路を有しないスルーホールの数を増やすことで、1回目と2回目の電圧降下が改善されていることがわかる。そして、70%以上となるとICの誤動作が発生しなくなる。そして、スルーホールから延出する導体回路を有しないスルーホールの数を70%以上とすると、その改善効果は薄れてくる。つまり、効果の臨界点であると理解できる。

比較例1および比較例2から、導体厚を厚くすることで、3回目の電圧降下が改善されていることがわかる。

【0086】

上記試験結果から本願発明の構成により、ICチップの初期起動時に発生する電源不足(電圧降下)の度合いを小さくなることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができるところが分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験(高温高湿バイアス試験)を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

【図面の簡単な説明】

【0087】

【図1】本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図2】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図3】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図4】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図5】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図6】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図7】第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図8】第1実施例に係る多層プリント配線板の断面図である。

【図9】第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図10】第1実施例の変形例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図11】図11(A)は、図8中の内層の電源用プレーン層16Pの平面図であり、図11(B)は、内層のアース用プレーン層16Eの平面図である。

【図12】図12(A)は、図8中の内層の電源用プレーン層16Pの平面図であり、図12(B)は、内層のアース用プレーン層16Eの平面図である。

【図13】実施例10に係る多層プリント配線板の断面図である。

【図14】ICチップの動作中における電圧変化を示したグラフである。

【図15】ICチップの動作中における電圧変化を示したグラフである。

【図16】実施例と比較例との試験結果を示す図表である。

【図17】図17(A)は、図8中の内層の別例の電源用プレーン層16Pの平面図であり、図11(B)は、内層のアース用プレーン層16Eの平面図である。

【図18】ダミーランドを有しないスルーホール数について、横軸にダミーランドを有しないスルーホール数、縦軸に最大電圧降下量の平均値とした(V)結果を示すグラフである。

【図19】内層の導体厚と1回目～3回目の電圧効果の関係を示すグラフである。

【図20】スルーホールと導体層との関係を示す説明図である。

【図21】本願発明の関連技術に係る多層プリント配線板の断面図である。

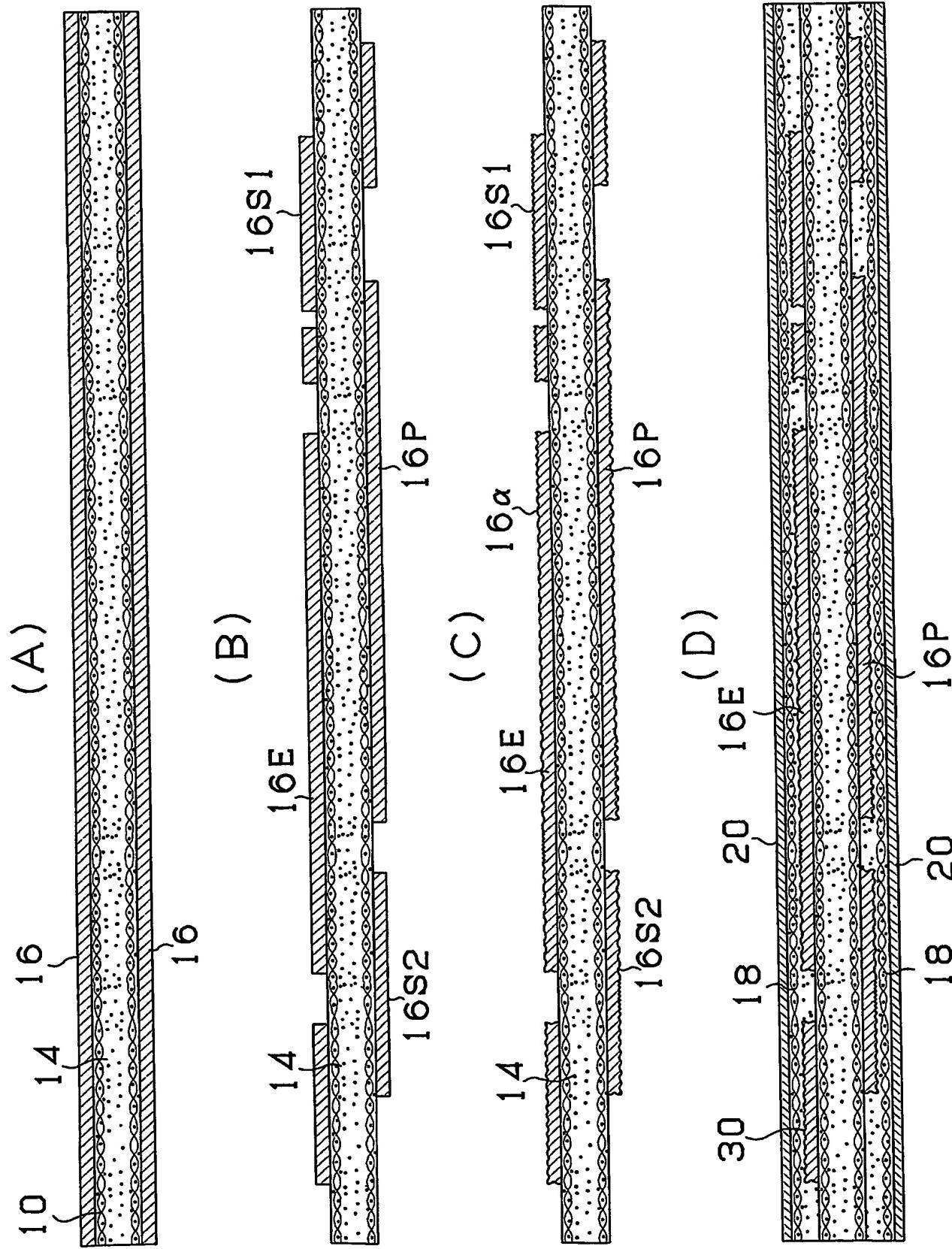
【図22】図21の多層プリント配線板のX4-X4横断面図であり、図22(B)はX5-X5断面である。

【符号の説明】

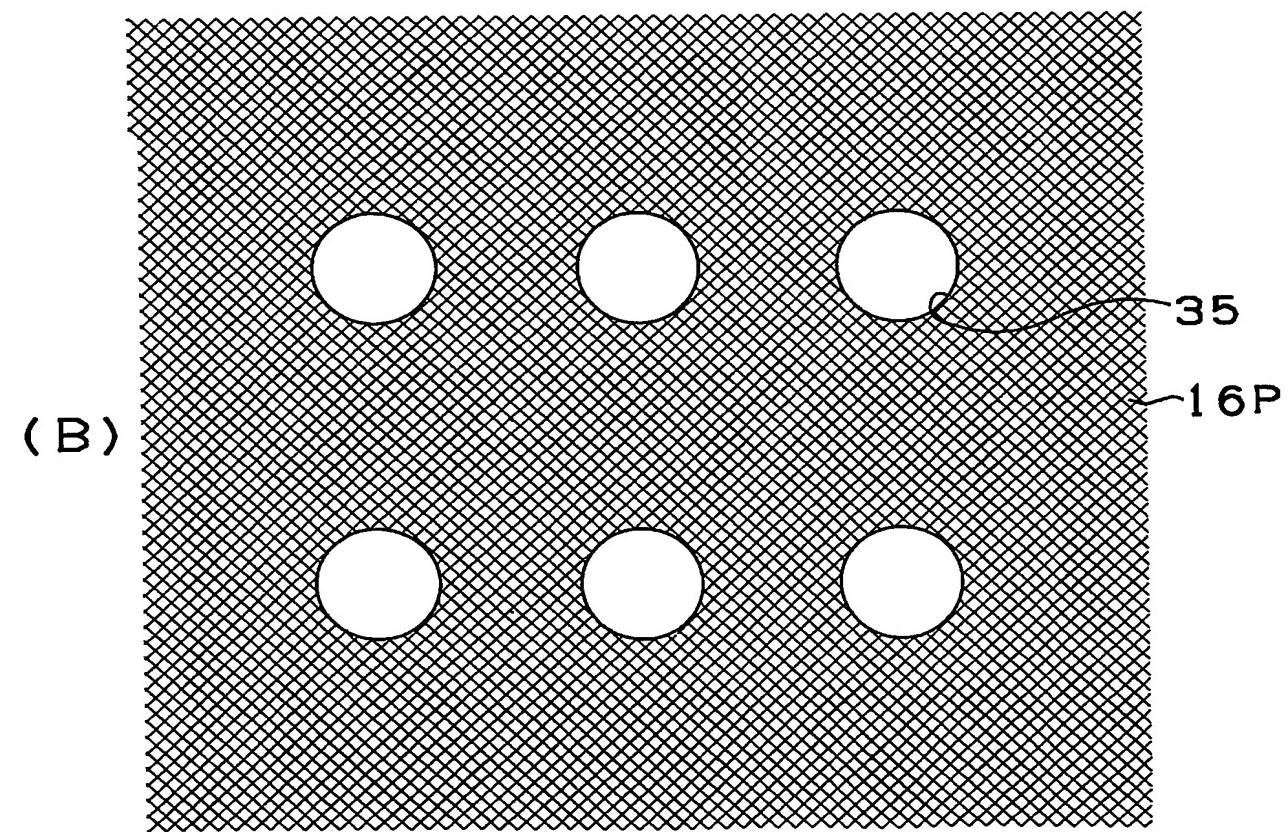
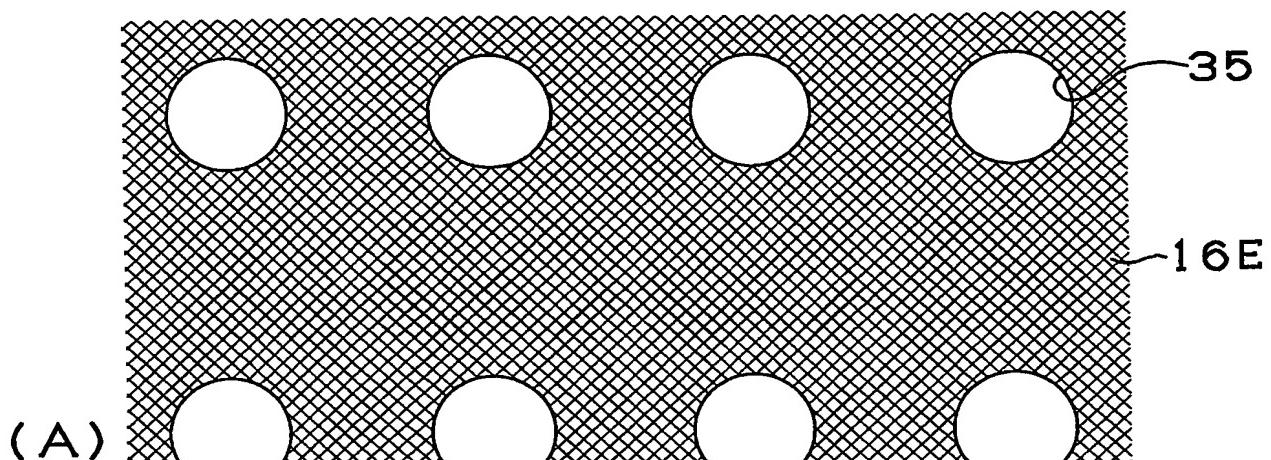
【0088】

1 4 絶縁層
1 6 導体回路
1 6 P 導体層
1 6 E 導体層
1 8 絶縁層
3 0 基板
3 2 銅箔
3 4 導体回路
3 4 P 導体層
3 4 E 導体層
3 6 スルーホール
4 0 樹脂充填層
5 0 層間絶縁層
5 8 導体回路
6 0 バイアホール
7 0 ソルダーレジスト層
7 1 開口
7 6 U、7 6 D 半田バンプ
9 0 I Cチップ
9 4 ドータボード
9 8 チップコンデンサ

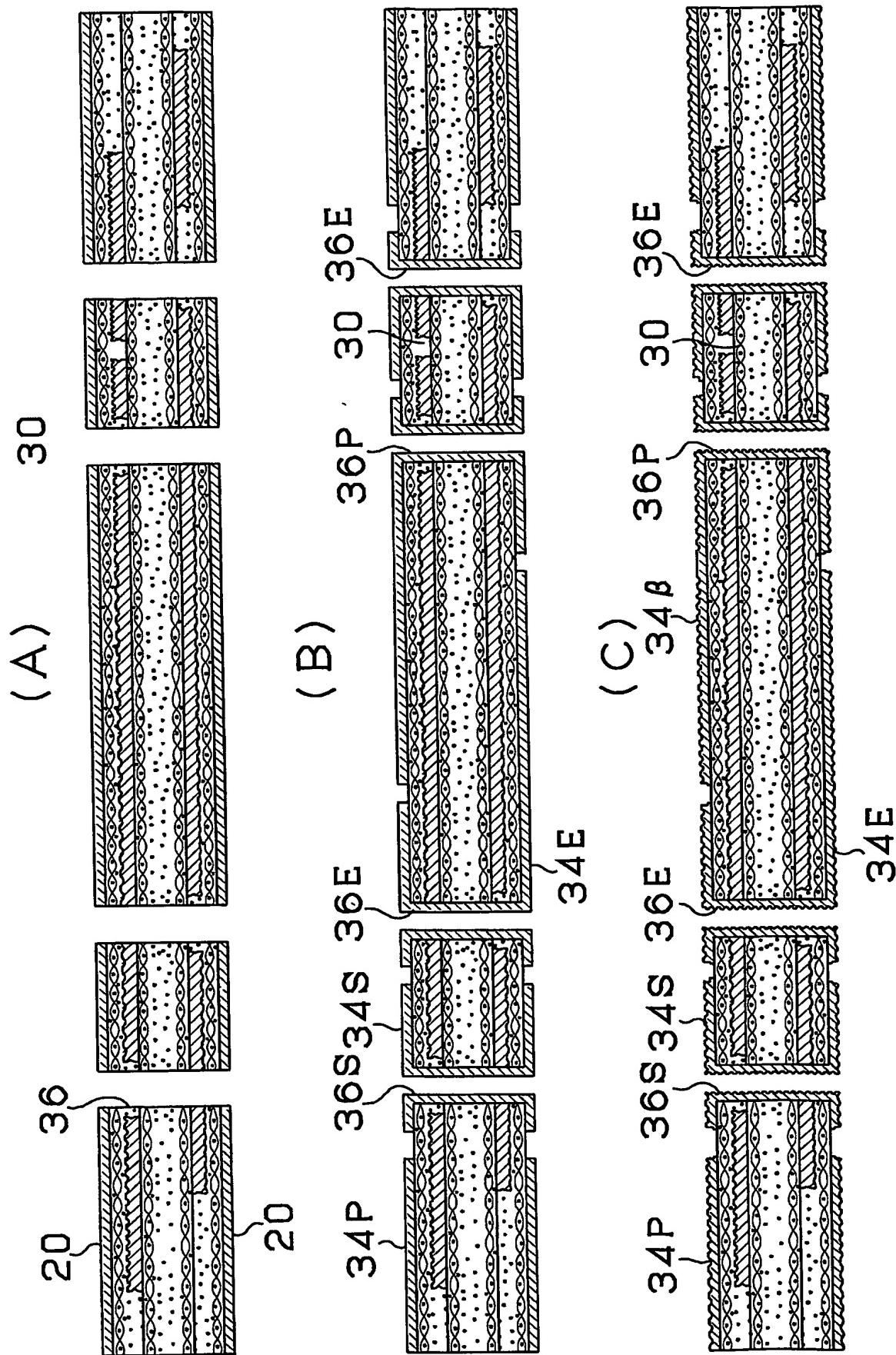
【書類名】図面
【図1】



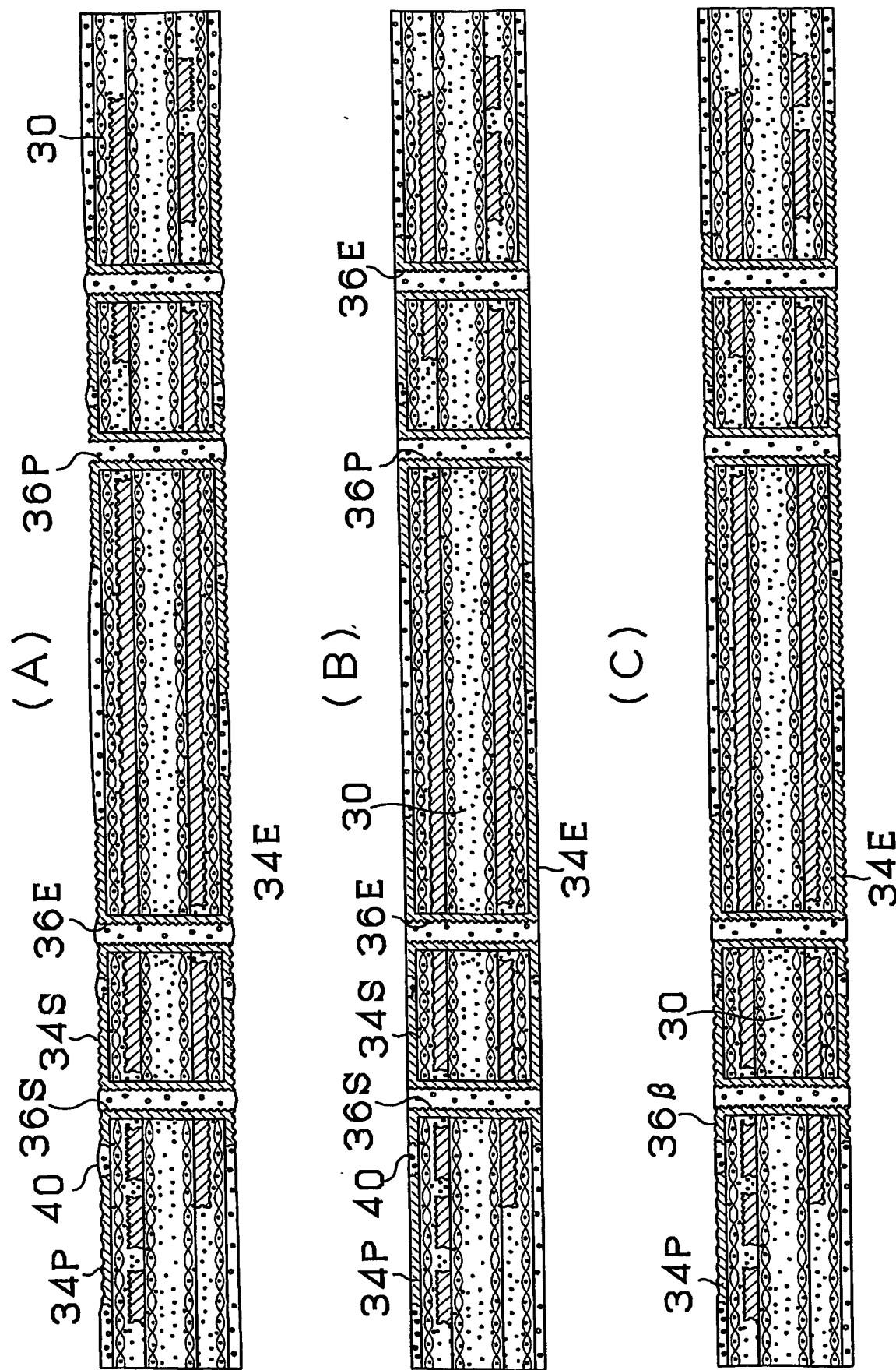
【図2】



【図3】

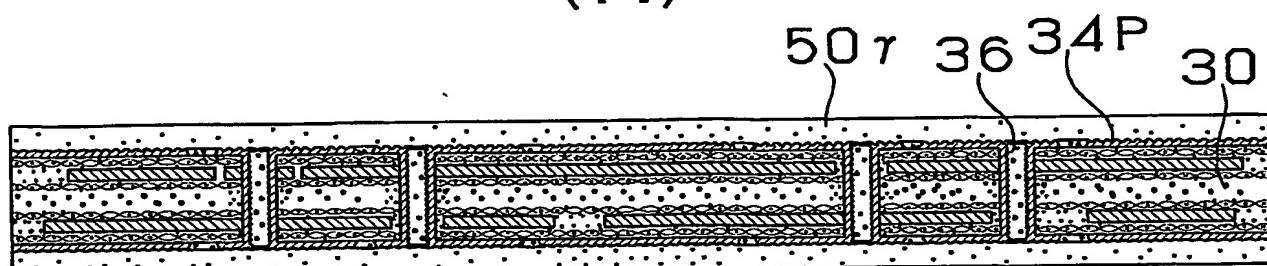


【図4】

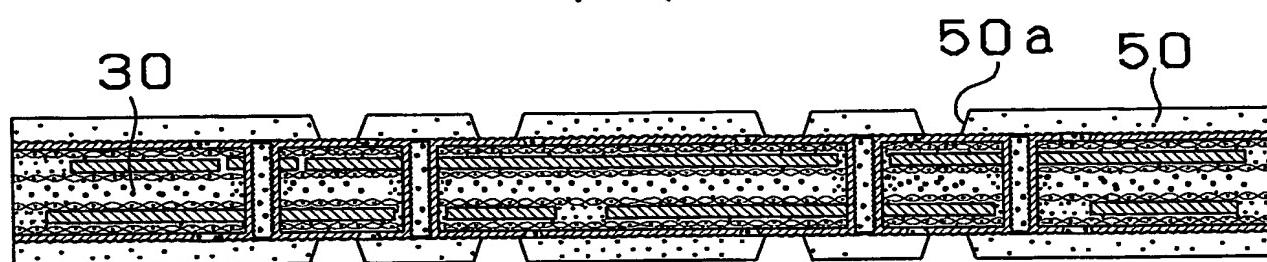


【図5】

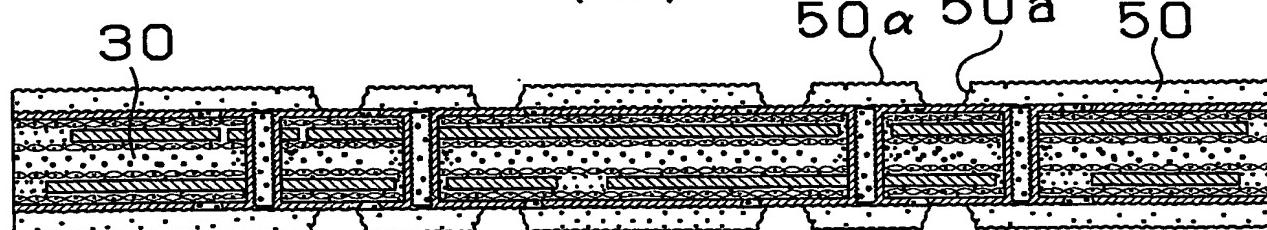
(A)



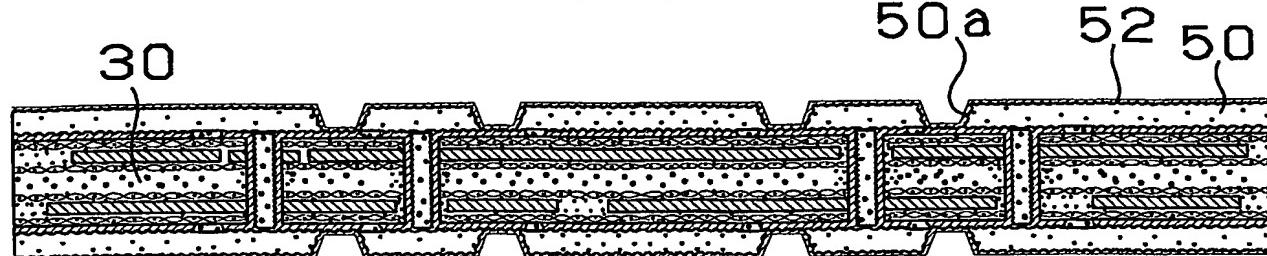
(B)



(C)

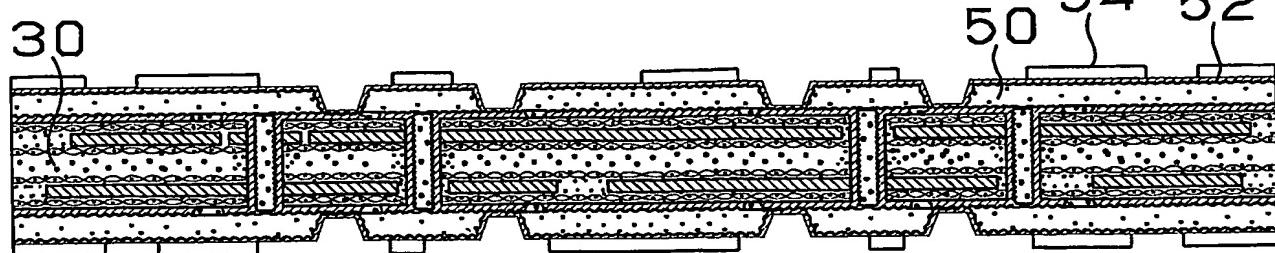


(D)

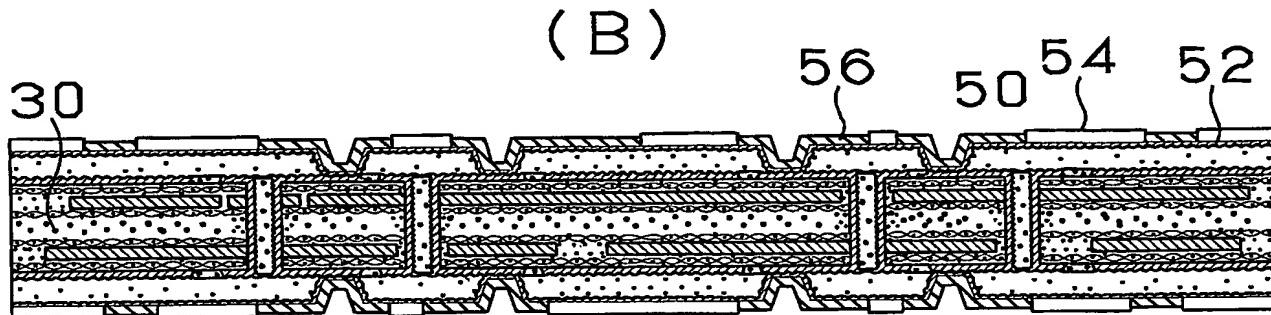


【図 6】

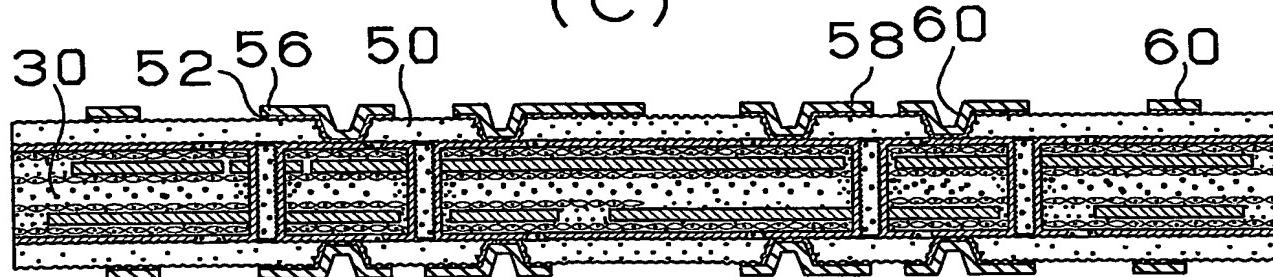
(A)



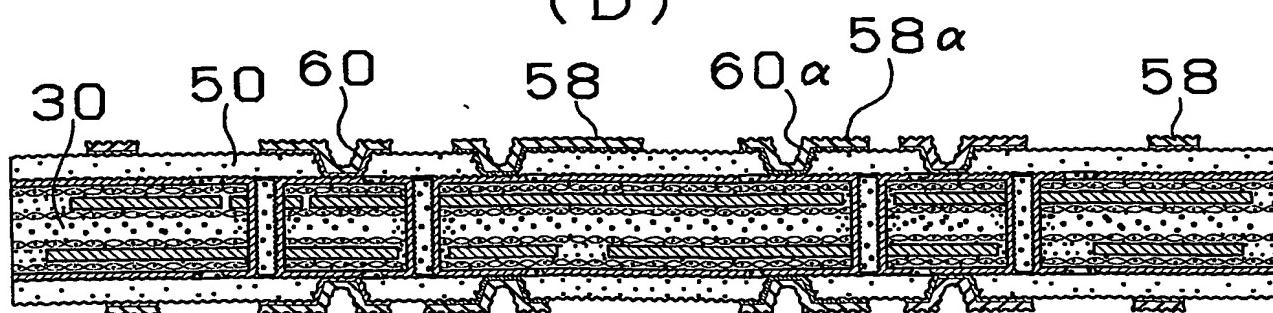
(B)



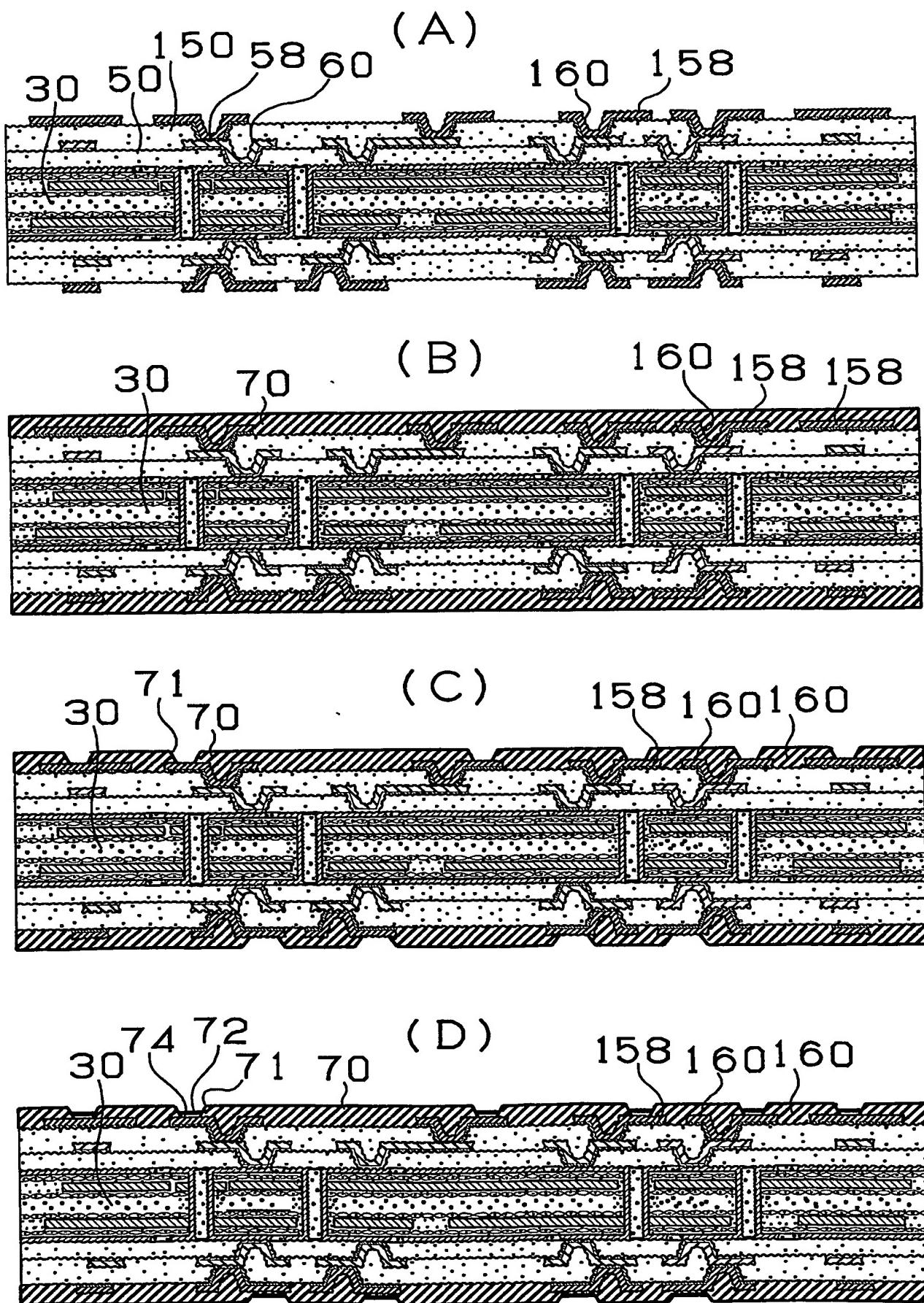
(C)



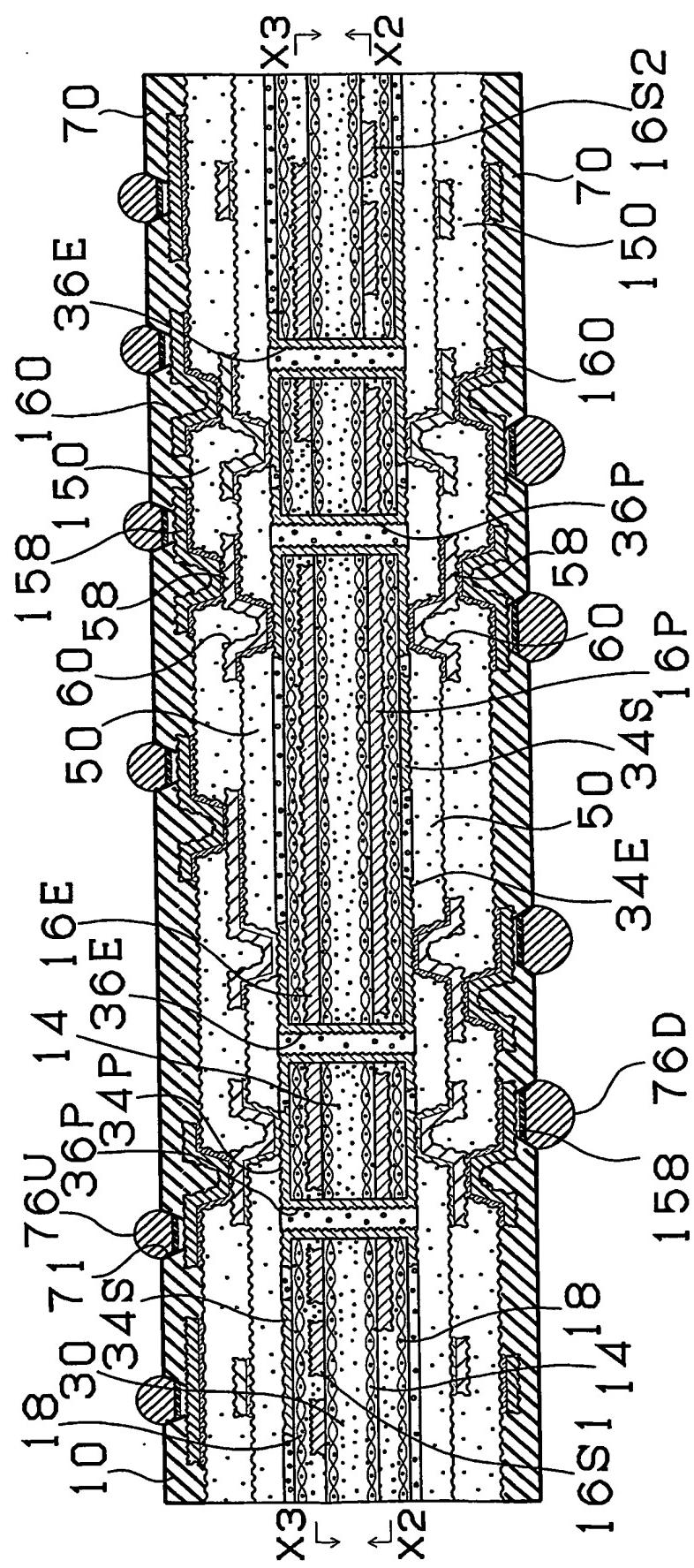
(D)



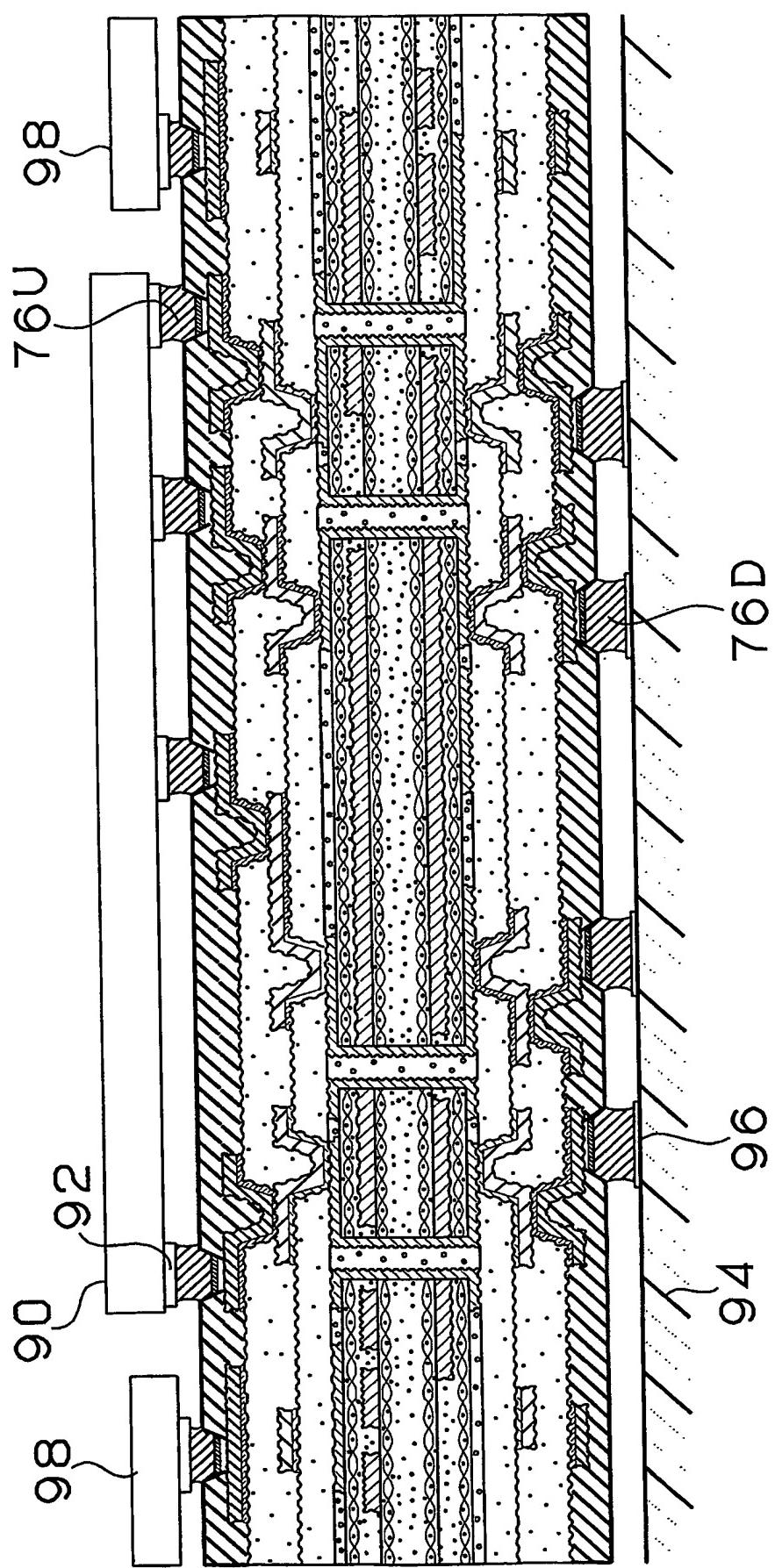
【図 7】



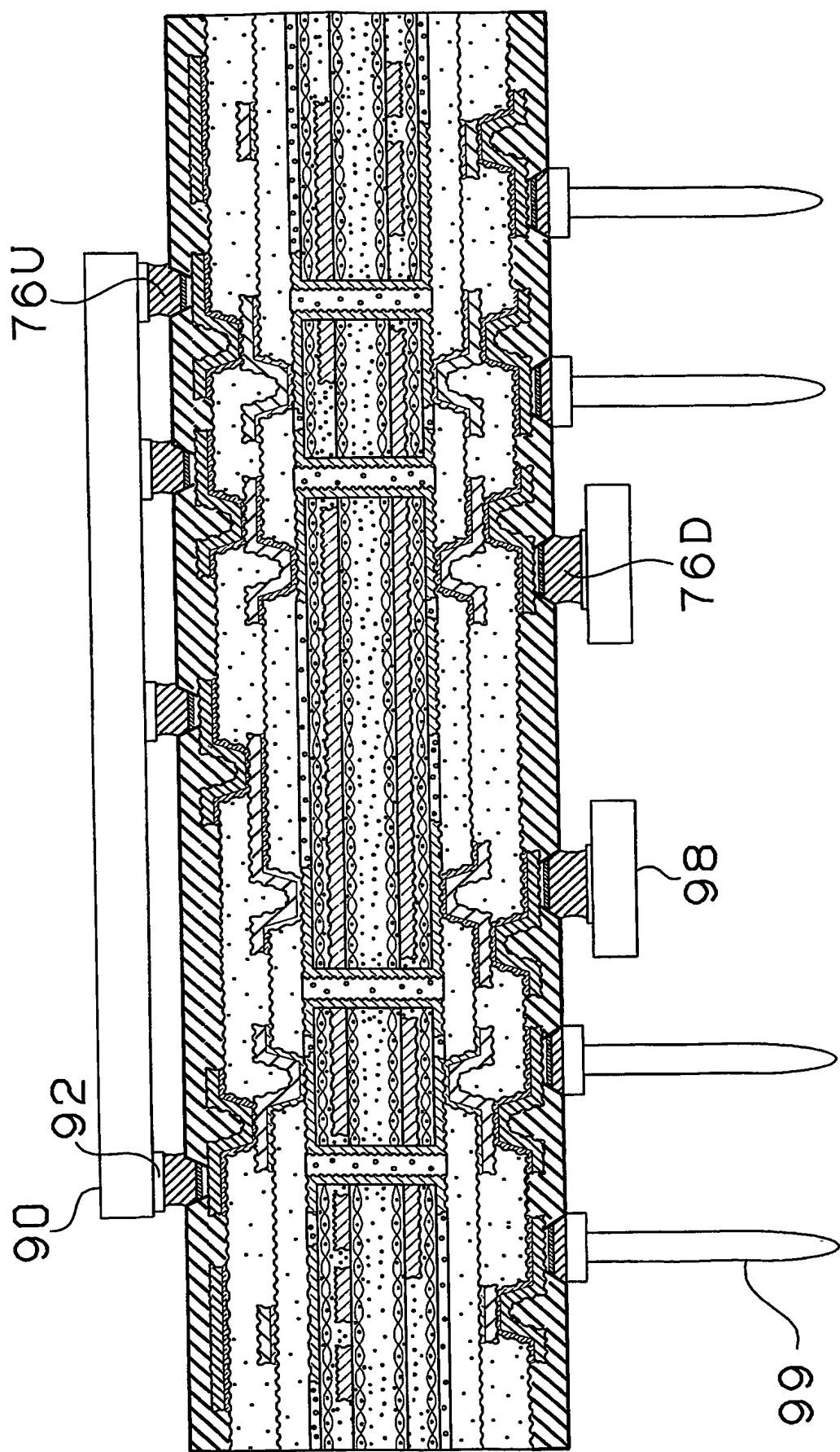
【図 8】



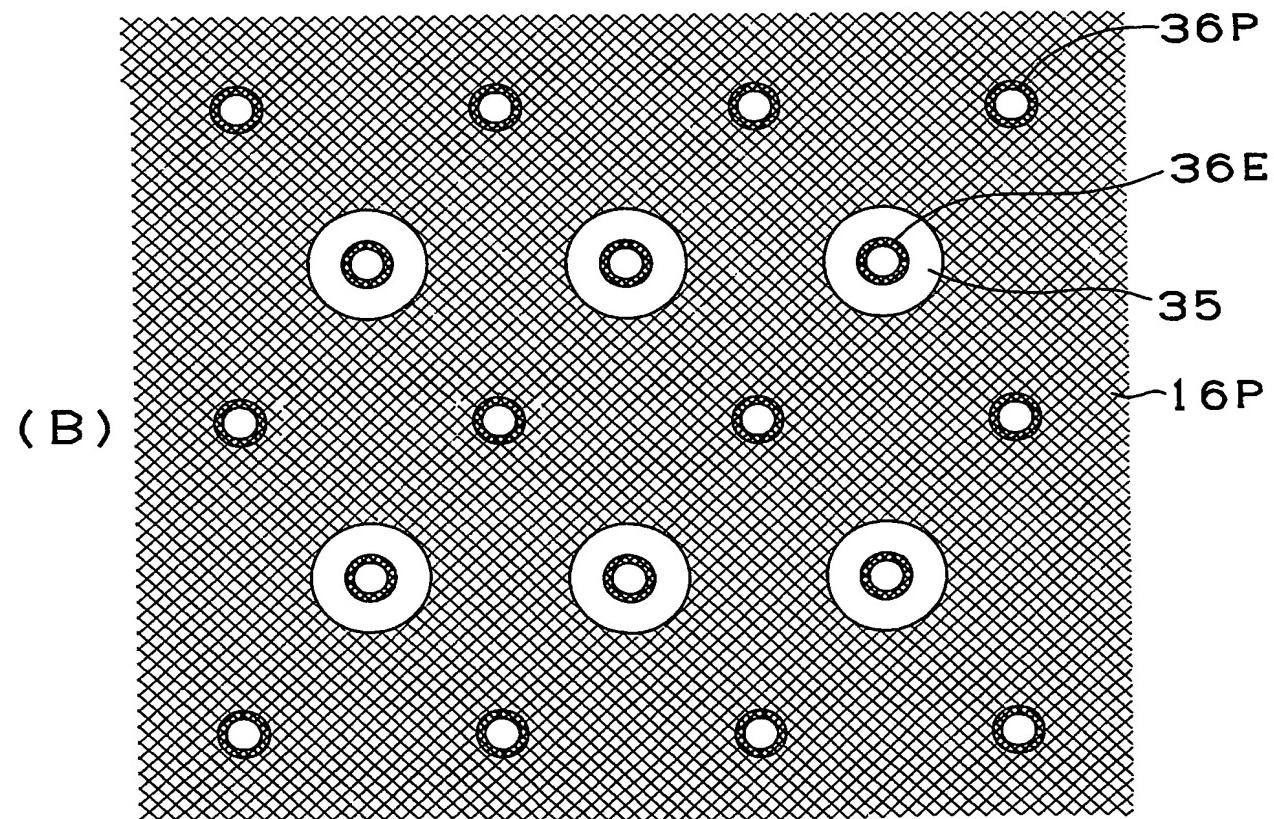
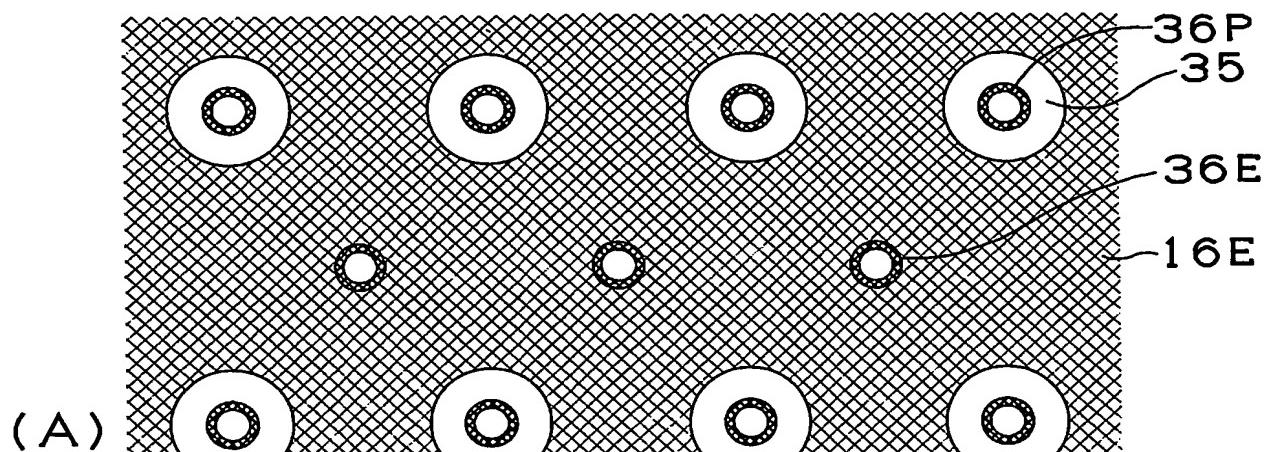
【図9】



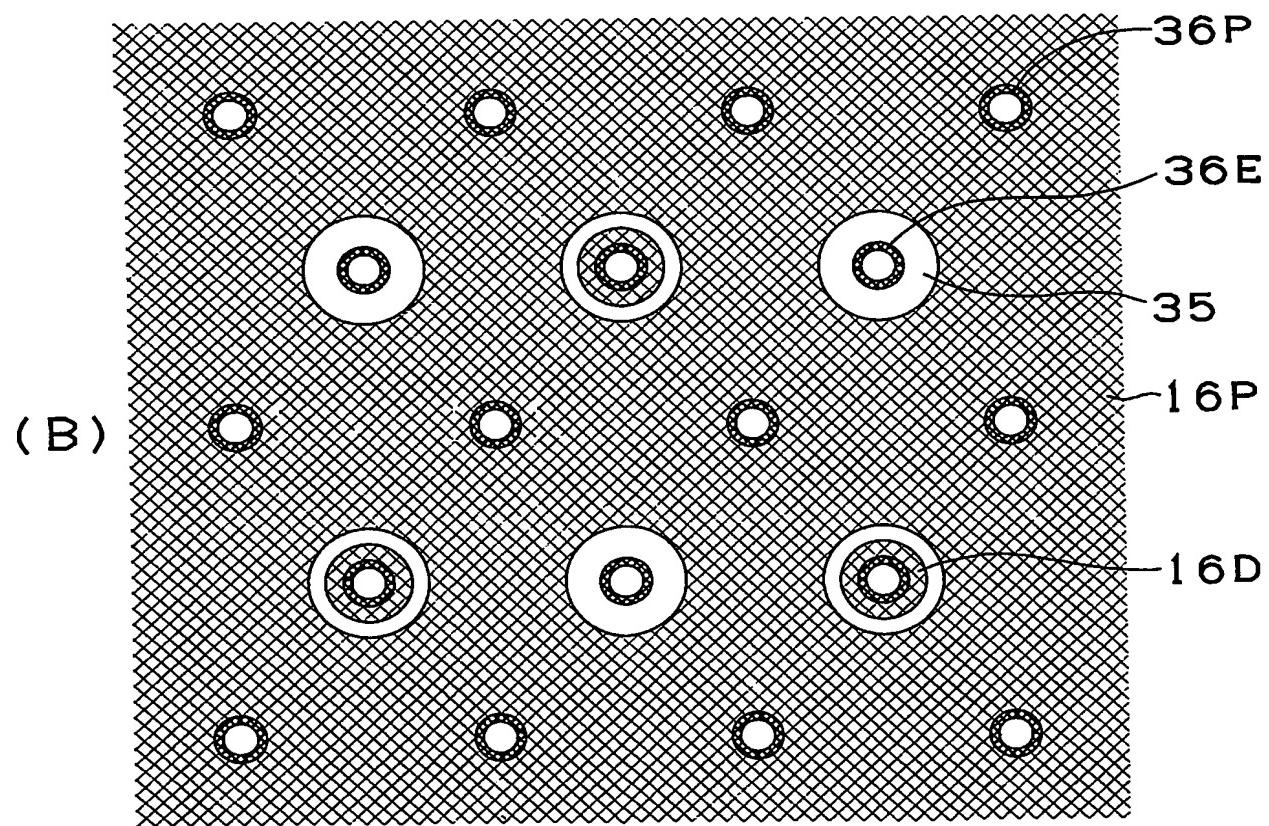
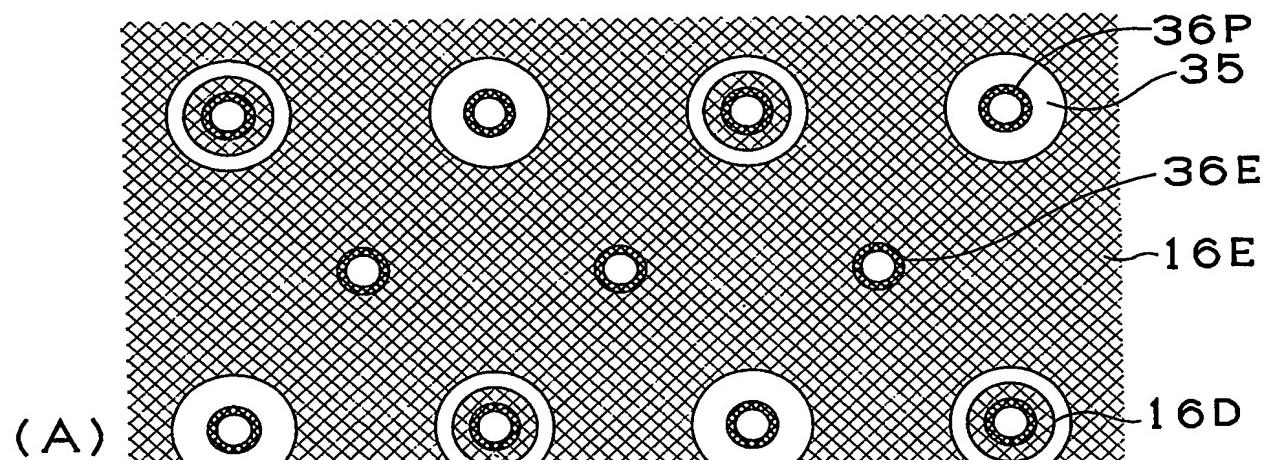
【図10】



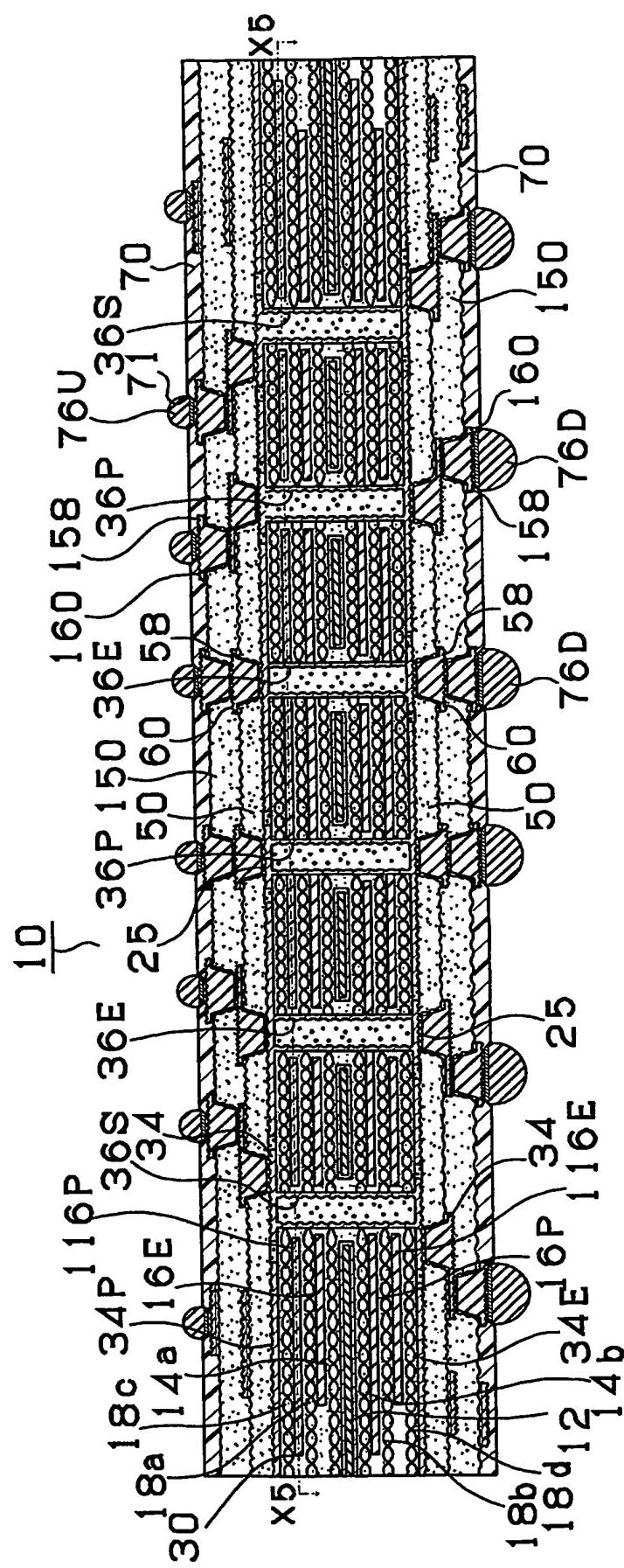
【図11】



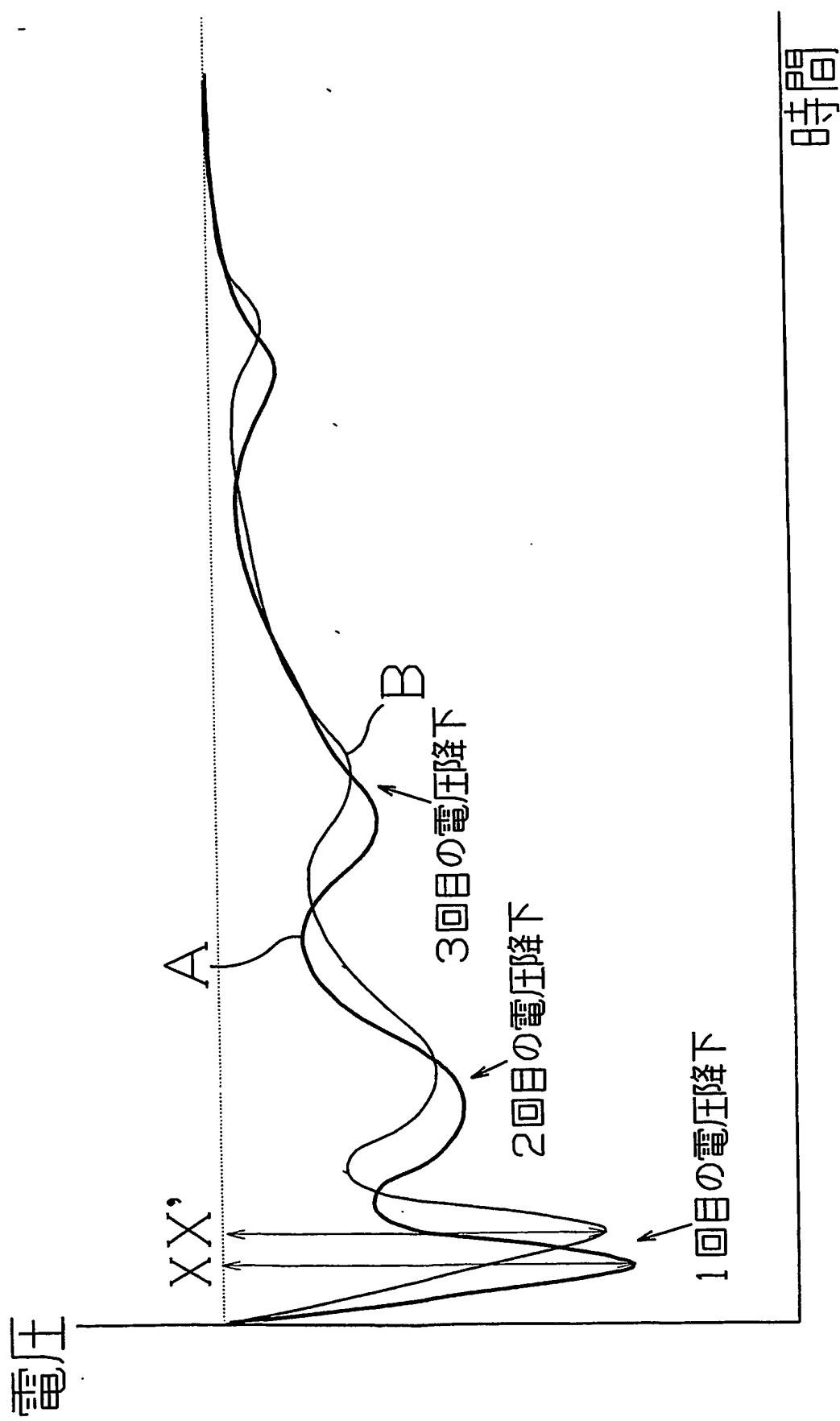
【図12】



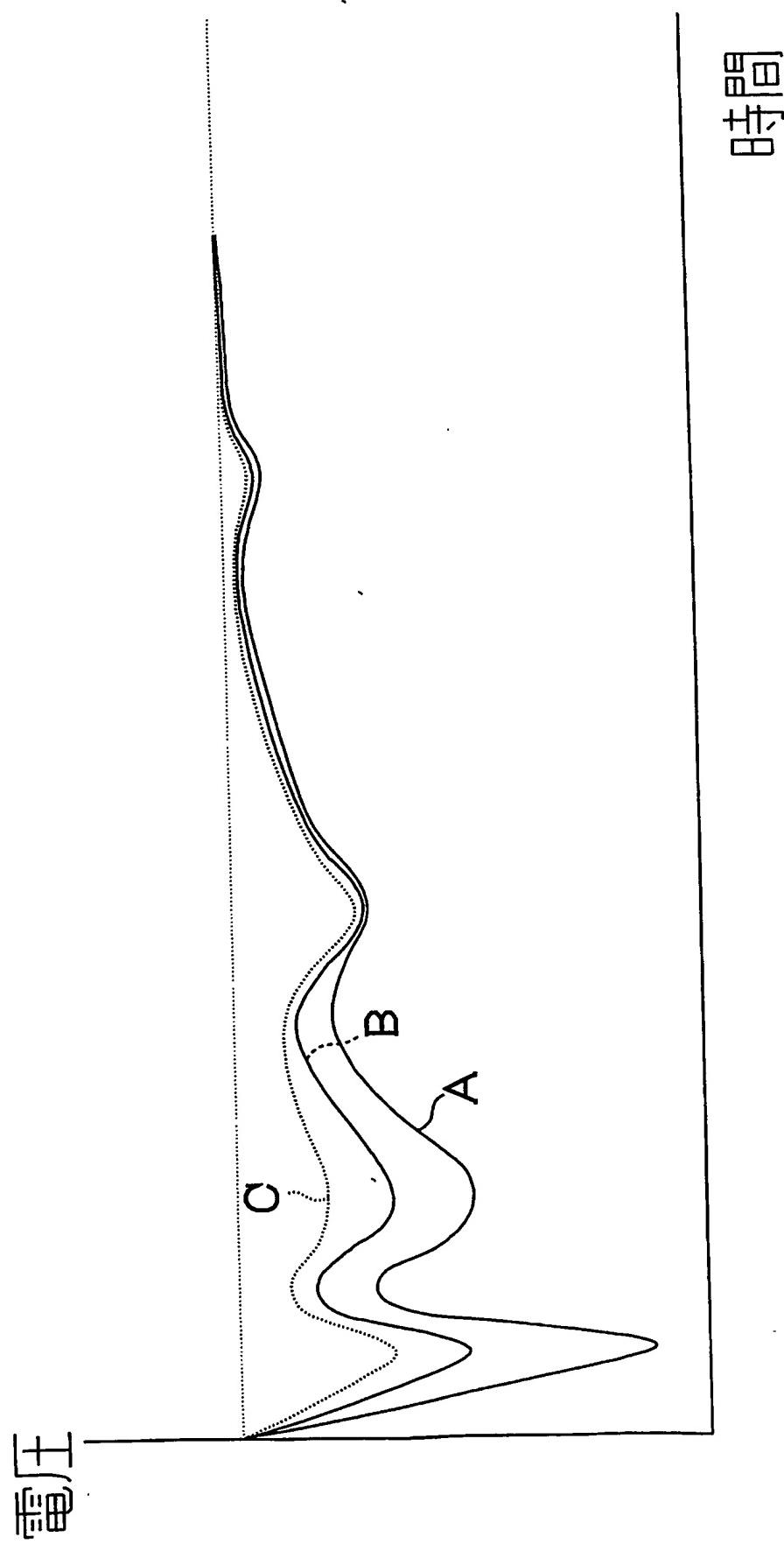
【図13】



【図14】



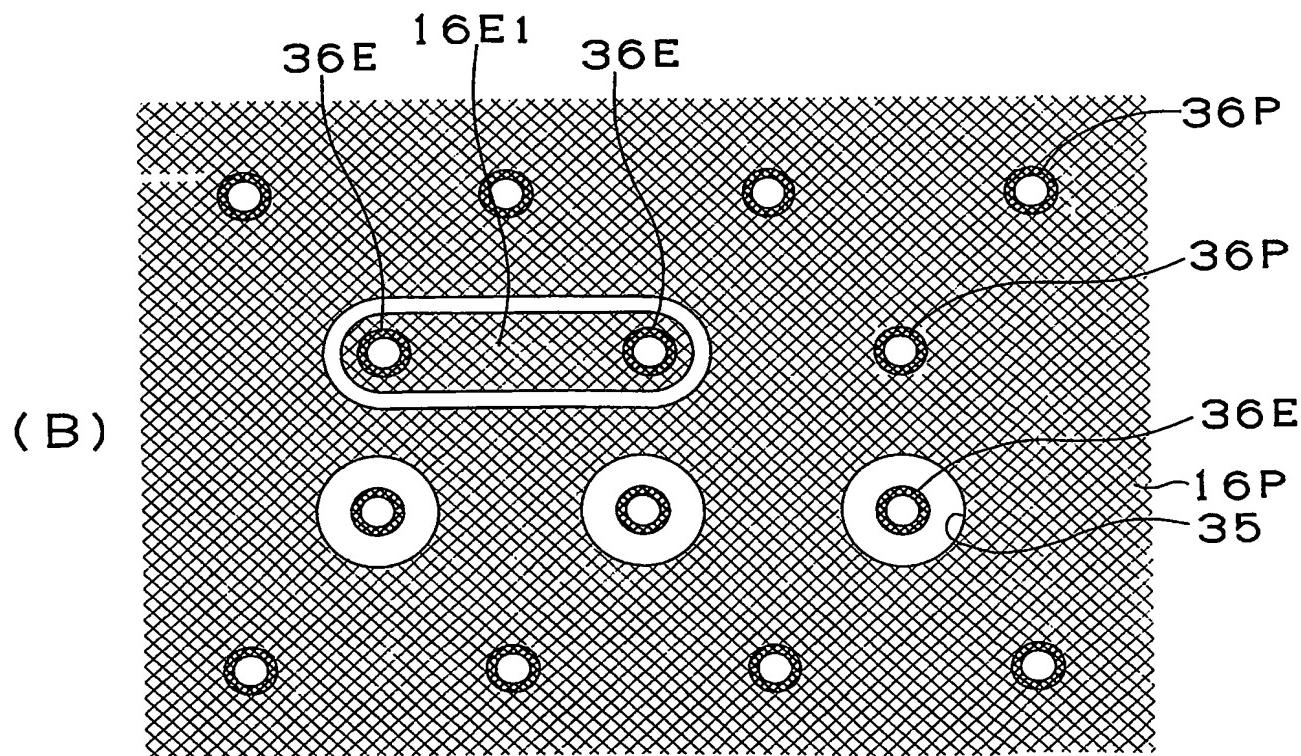
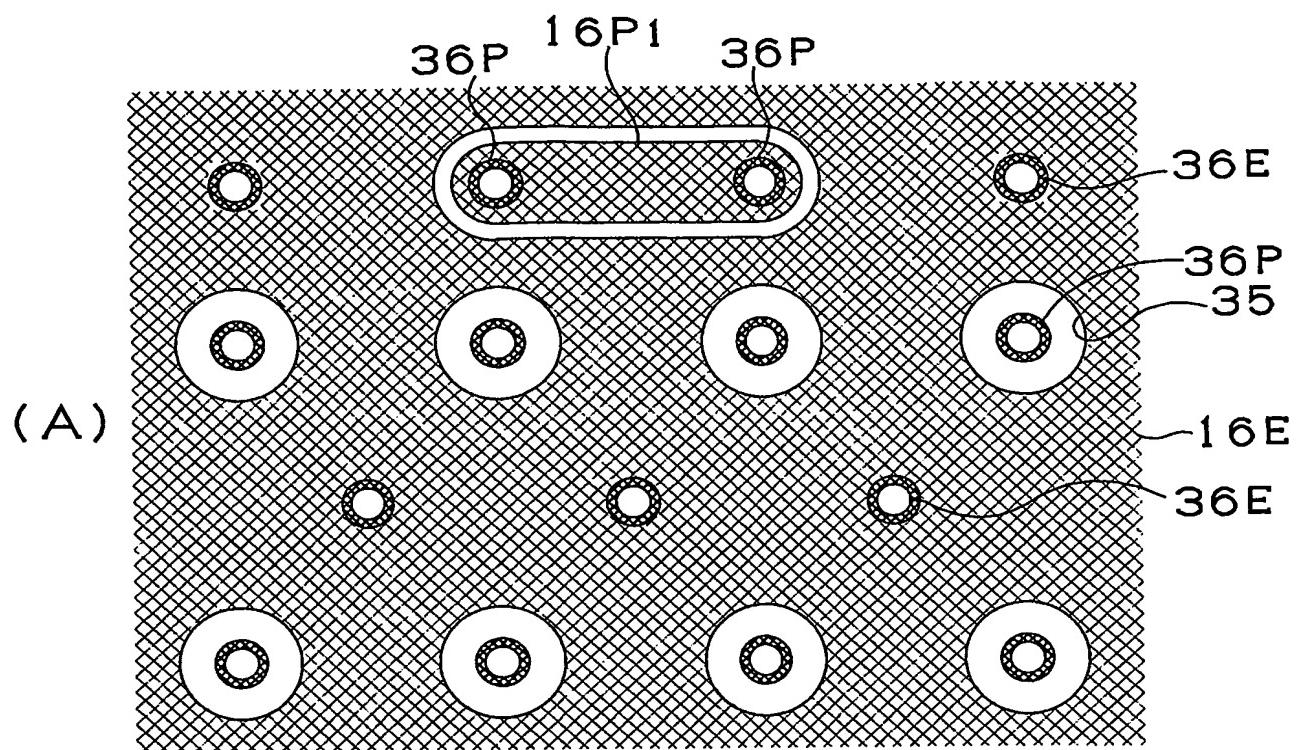
【図15】



【図16】

#	ビルドアッ プ層 のCu厚	多層コアの 内層のCu 厚	ダミーランドがない 領域またはその% 	電圧降下量(V)			ICの誤動作の 有無
				1回目	2回目	3回目	
実施例1	15	30	IC直下	0.157	0.118	0.089	なし
実施例2	15	30	50%	0.218	0.135	0.088	有り
実施例3	15	30	70%	0.158	0.120	0.088	なし
実施例4	15	30	80%	0.158	0.118	0.089	なし
実施例5	15	30	90%	0.155	0.118	0.087	なし
実施例6	15	45	IC直下	0.140	0.110	0.088	なし
実施例7	15	60	IC直下	0.138	0.110	0.088	なし
実施例8	15	75	IC直下	0.133	0.108	0.086	なし
実施例9	15	75	70%	0.135	0.108	0.086	なし
比較例1	15	30	なし	0.289	0.153	0.089	有り
比較例2	15	15	なし	0.310	0.160	0.108	有り

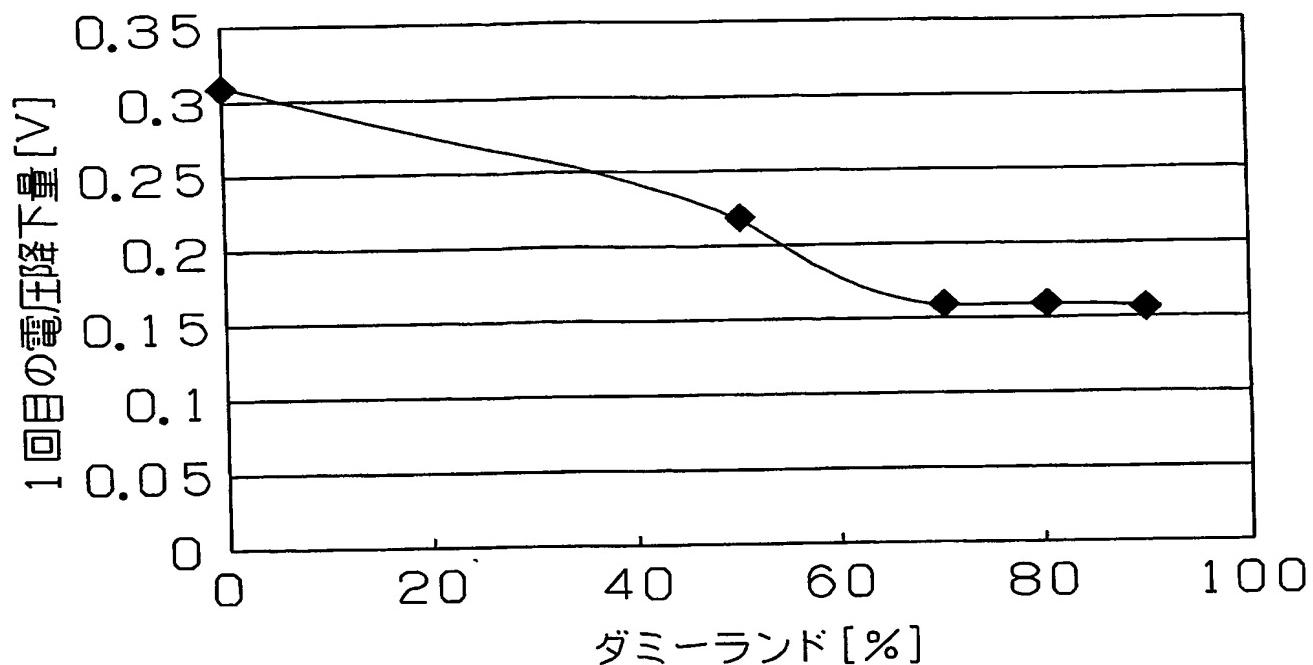
【図17】



【図18】

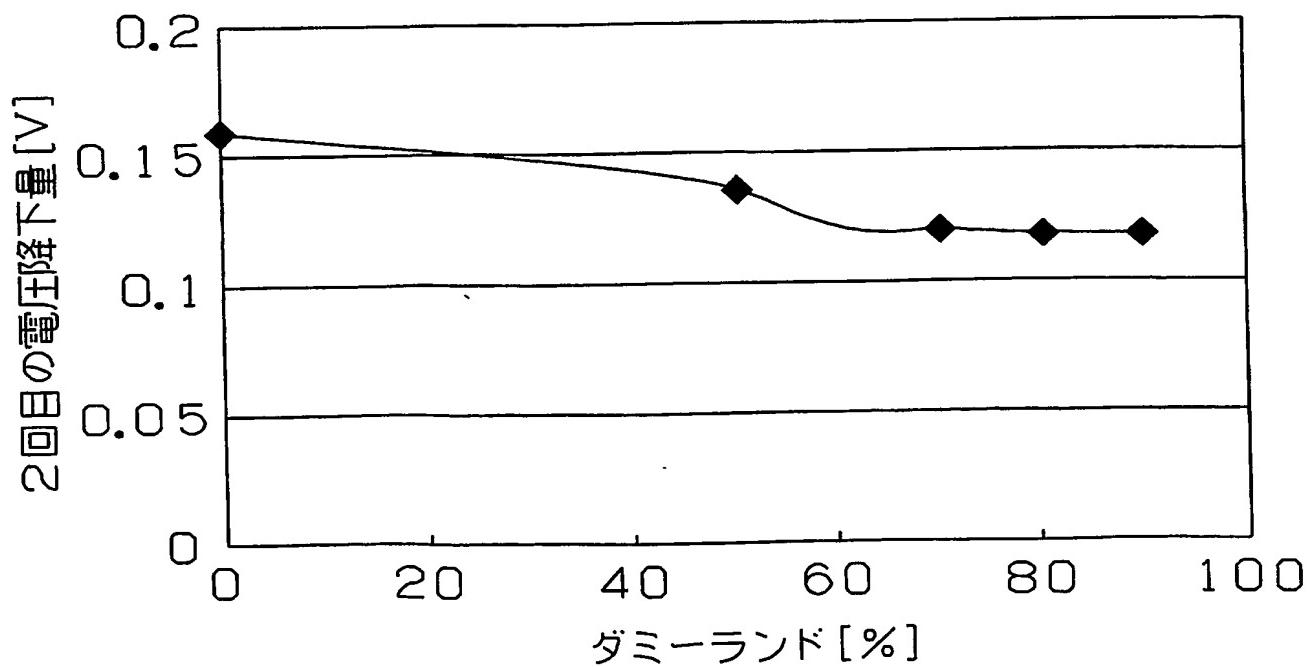
(A)

1回目電圧降下量[V]

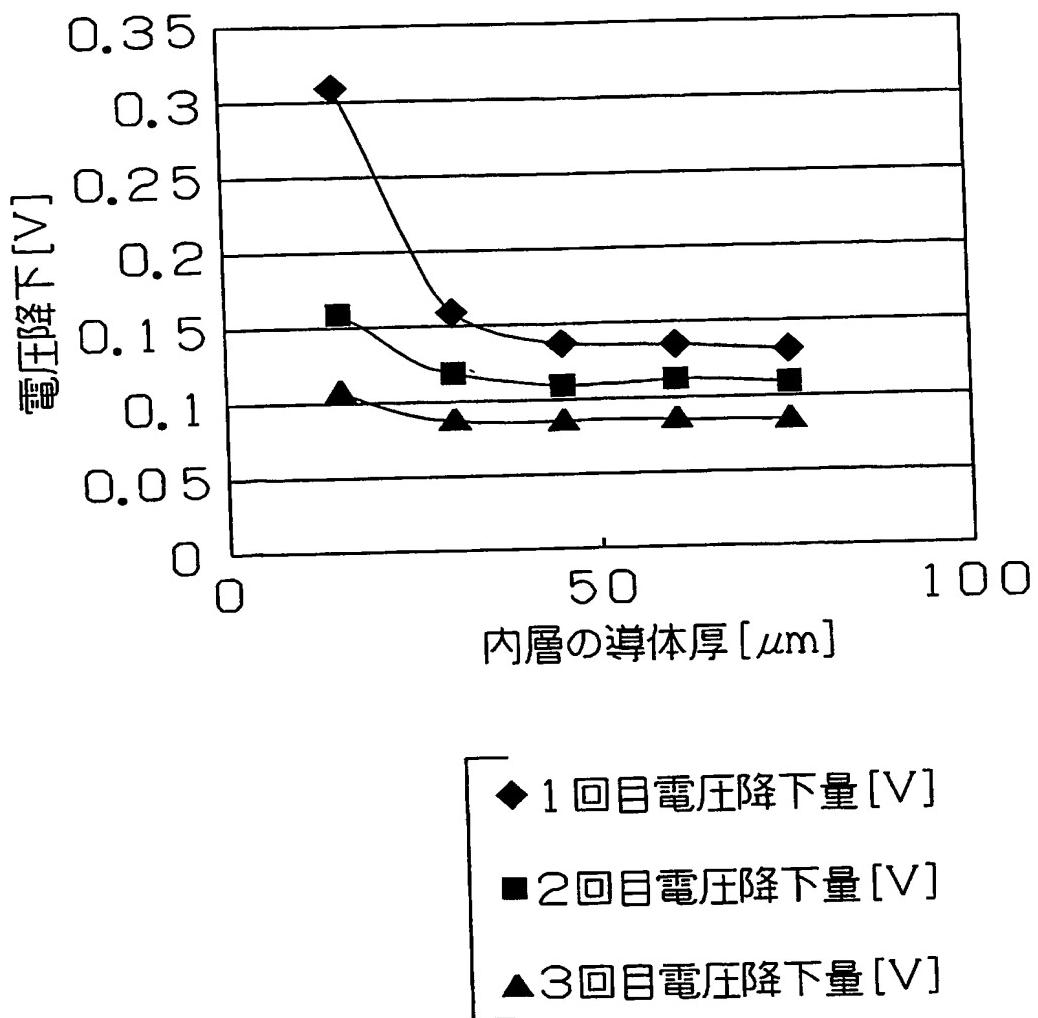


(B)

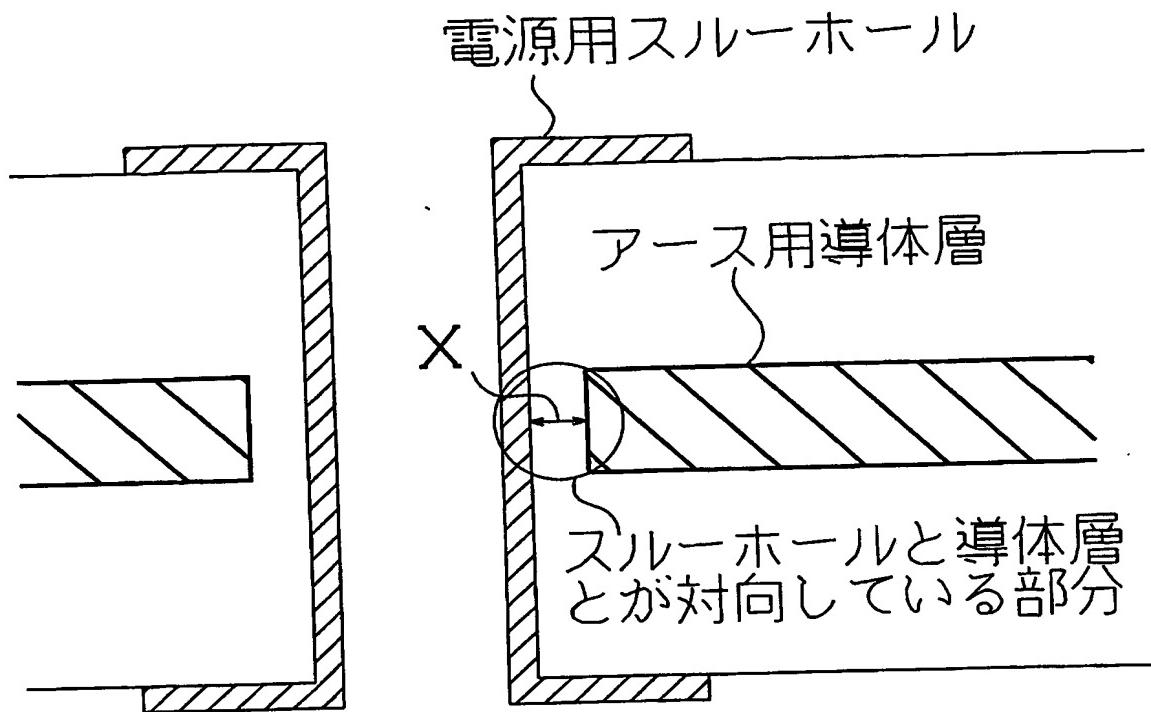
2回目電圧降下量[V]



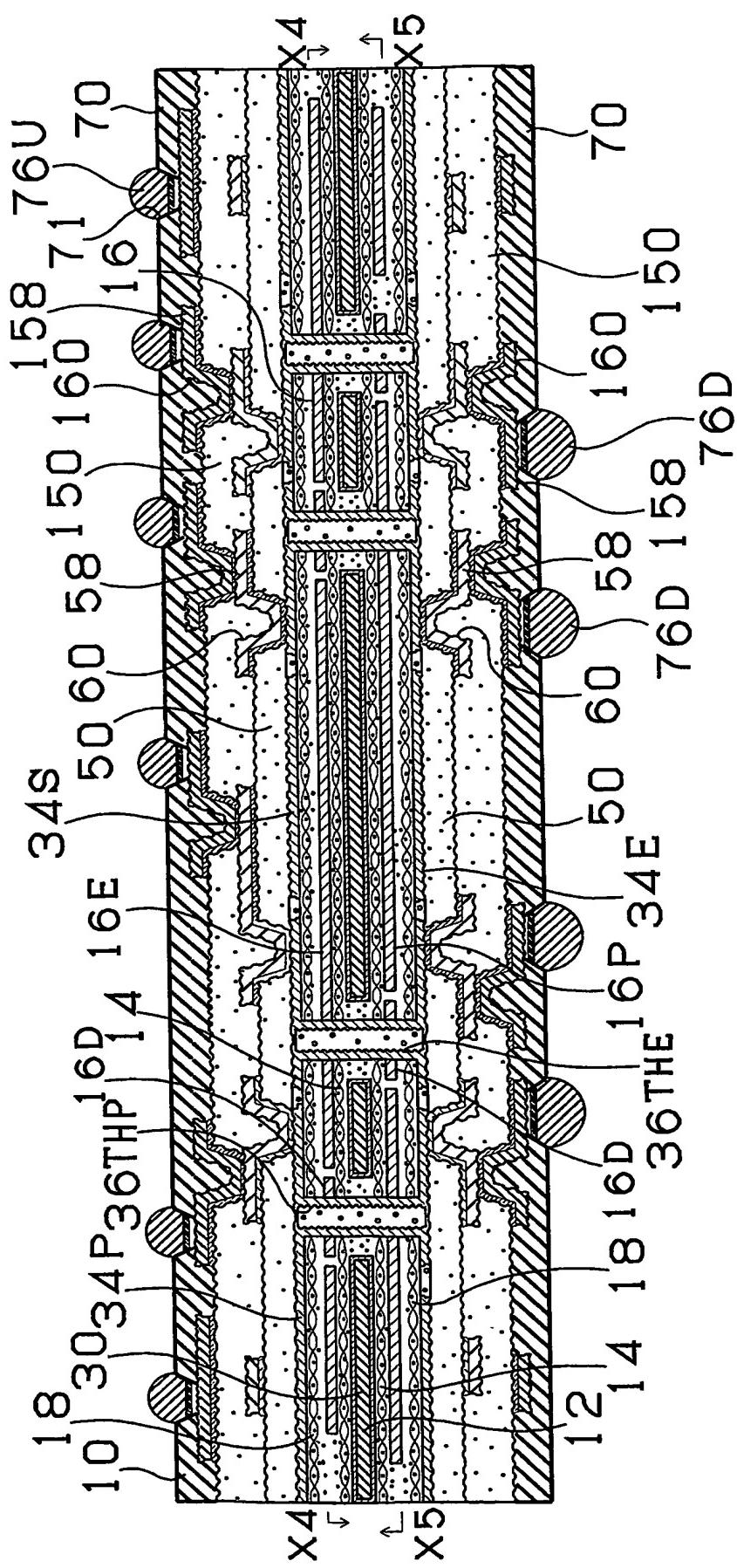
【図19】



【図20】

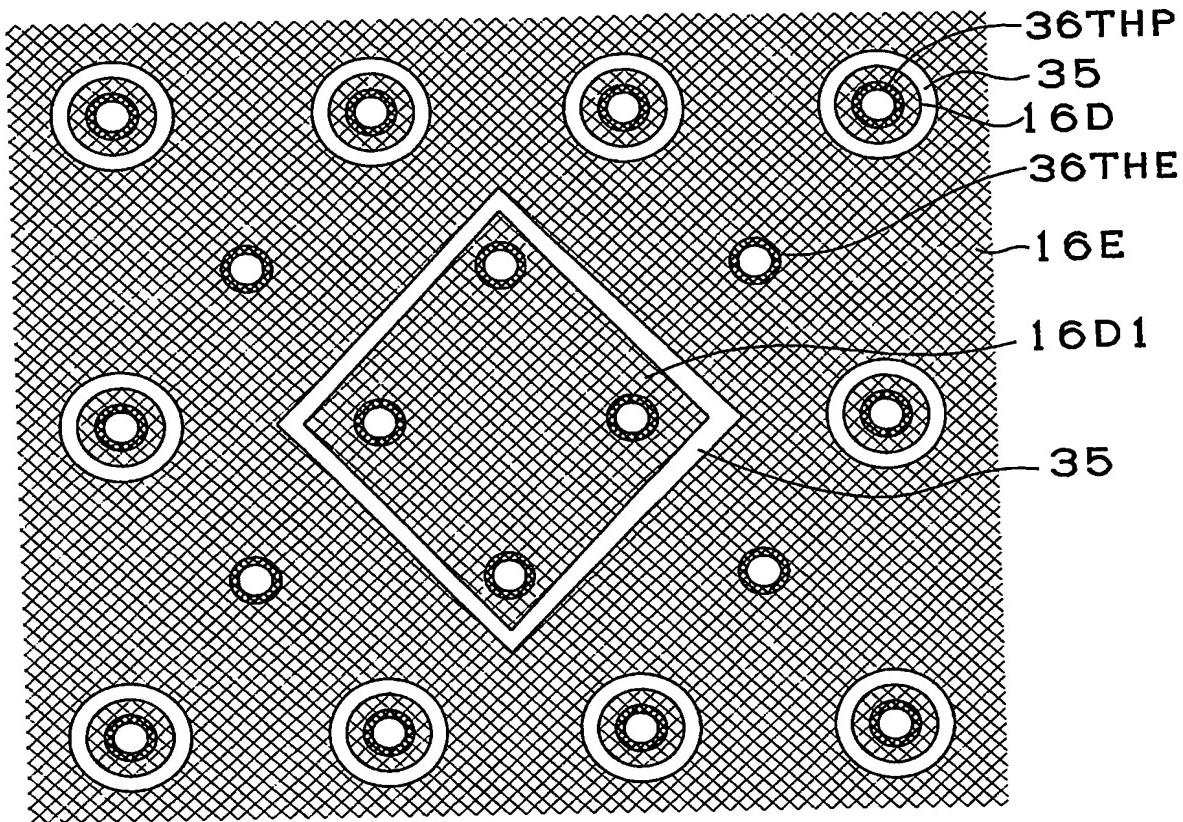


【図21】

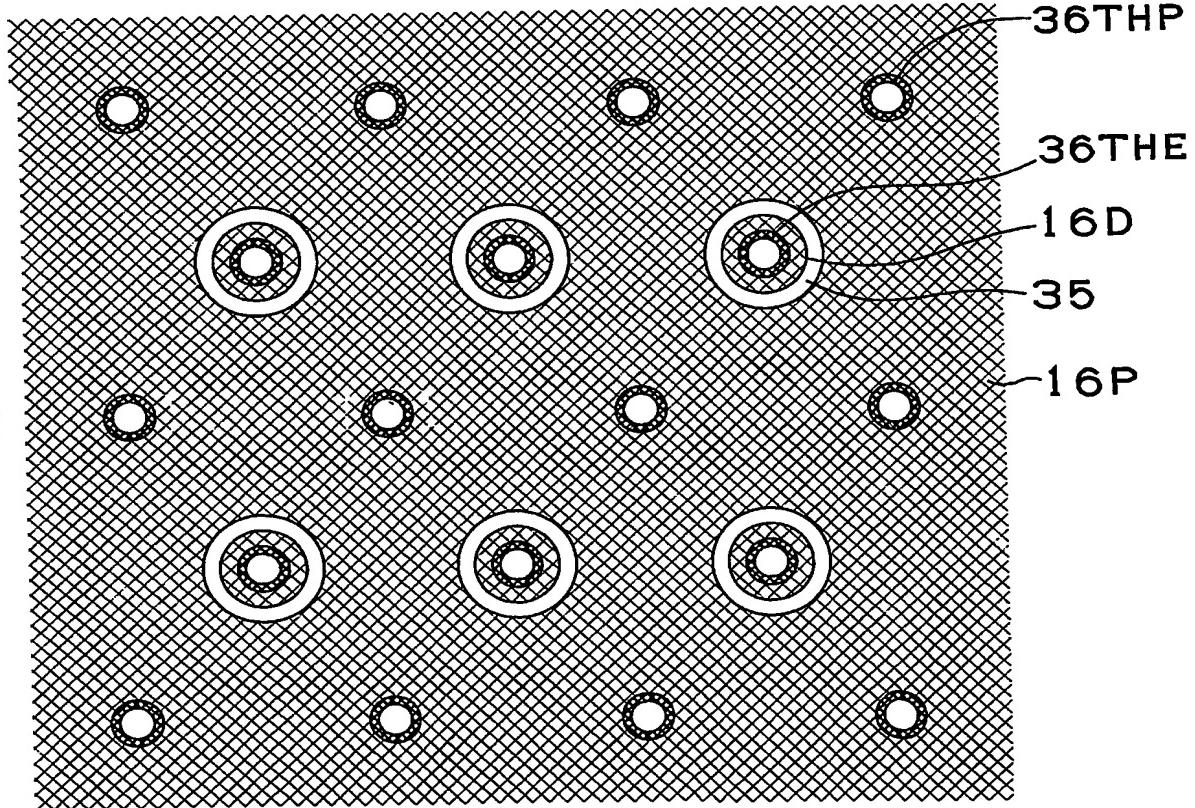


【図22】

(A)



(B)



【書類名】要約書**【要約】**

【課題】 高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないパッケージ基板を提供する。

【解決手段】 ダミーランド16Dを隣接するスルーホール36において交互に設ける。ダミーランド16D相互の距離が大きくなり、導体層16Eを厚くすることで、同層に配置されるダミーランド16Dの厚みも厚くなってしまっても、ダミーランド16D相互での短絡が発生しなくなる。一方、コア基板30上の導体層34Pを厚さ $30\mu m$ に形成し、層間樹脂絶縁層50上の導体回路58を $15\mu m$ に形成する。導体層34Pを厚くすることにより、導体自体の体積を増し抵抗を低減することができる。

【選択図】 図11

認定・付加情報

特許出願の番号	特願2004-028073
受付番号	50400181763
書類名	特許願
担当官	第四担当上席 0093
作成日	平成16年 2月 5日

<認定情報・付加情報>

【提出日】 平成16年 2月 4日

特願 2004-028073

出願人履歴情報

識別番号 [000000158]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 岐阜県大垣市神田町2丁目1番地
氏名 イビデン株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001610

International filing date: 03 February 2005 (03.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-028073
Filing date: 04 February 2004 (04.02.2004)

Date of receipt at the International Bureau: 31 March 2005 (31.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse